# I. ОПИСАНИЕ МИКРОСХЕМЫ КАIOIЗВМI

Микросхема КАIOIЗВМI является однокристальным шестнадцатиразрядным микропроцессором, совмещенным с контроллерами внешних устройств (ПЗУ,ОЗУ, клавиатуры, матричного ЖКИ) и параллельным портом.

Микросхема КАIOIЗВМI допускает непосредственное подключение контактных групп клавиатуры из 78 клавиш, в том числе 4 специального назначения - "ВКЛ", "ВЫКЛ", "FORSE", "HALT" (выводы "КВ"); микросхем ПЗУ К563РЕI, КАIOIЗРЕI, ОЗУ КАIOIЗРУI, К537РУI6 в пяти конфигурациях (выводы "А", "DIO", "СЕ") - см. рис.I; контроллера матричного ЖК-индикатора; дополнительных внешних устройств через двунаправленный пятнадцатиразрядный параллельный порт.

Функциональные параметры БИС:

- система счисления для чисел и команд - двоичная;
- разрядность внутренней шины адрес/данные - I6 двоичных разрядов;
- разрядность внешней адресной шины - I5 двоичных разрядов;
- разрядность внешней шины данных - 8 двоичных разрядов;
- система команд - безадресная, одноадресная, двуадресная;
- виды адресации: регистровая, косвенно-регистровая, автоинкрементная, косвенно-автоинкрементная, индексная, косвенно-индексная;
- число регистров общего назначения - 8;
- количество каналов обмена информацией - 4;
- количество источников прерываний - 2;
- количество команд - 77;

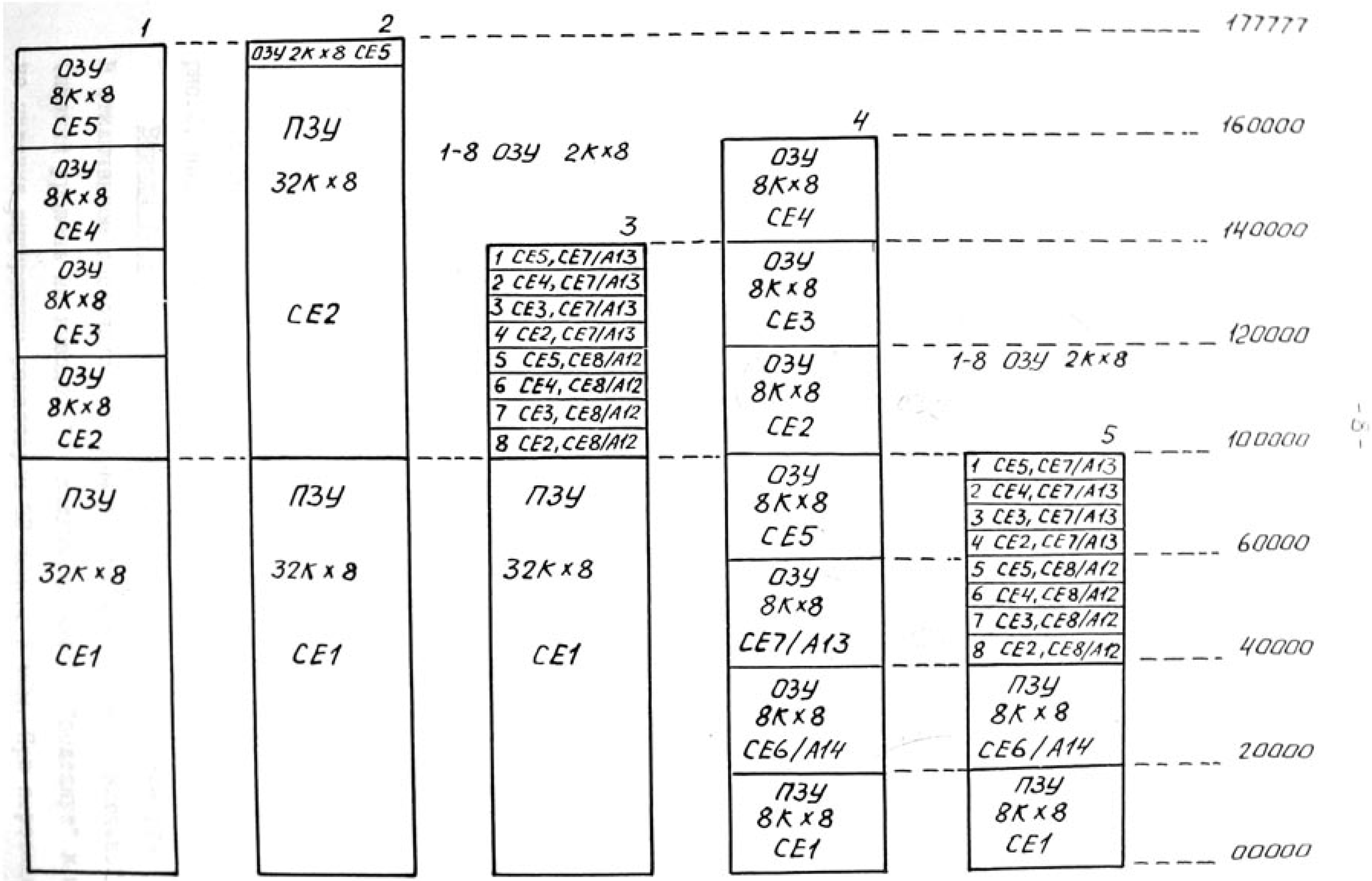


Рис. 1. Пять конфигураций распределения памяти.

- максимальный объем непосредственно адресуемой памяти в зависимости от конфигурации, Кбайт - от 32 до 64;

- тактовая частота встроенного генератора, МГц - 2 (макс.), 0,050 (мин);

- количество сигналов для выбора внешних кристаллов запоминающих устройств - 8;

- количество непосредственно подключаемых контактных групп клавиатуры, не менее - 78;

- количество разрядов параллельного порта - 15;

- количество разрядов адреса, передаваемых через последовательный порт - 8;

- количество разрядов данных, передаваемых через последовательный порт - 5;

- максимальное рабочее напряжение питания, В - 6;

- минимальное рабочее напряжение питания, В - 4;

- максимальная емкость нагрузки на вывод, пФ - 100;

- ток потребления при тактовой частоте 500 кГц в минимальном комплекте с одной микросхемой ПЗУ и одной микросхемой ОЗУ и напряжении питания 6В, мА, не более - 2,4 ;

- максимальный ток нагрузки по выводу 33,мА - 10

## 1.1. Назначение и описание выводов

Условное графическое обозначение микросхемы приведено на рис.2, назначение выводов - в таблице 1.

Выводы 1-13 "КВ0-КВ12" - входы подключения клавиатуры. В отключенном состоянии и режиме работы микросхемы "Включено" (низкий уровень на выводе 33) каждый из входов "подтянут" к шине питания внутренним резистором 30 кОм... 3 мОм. При переходе

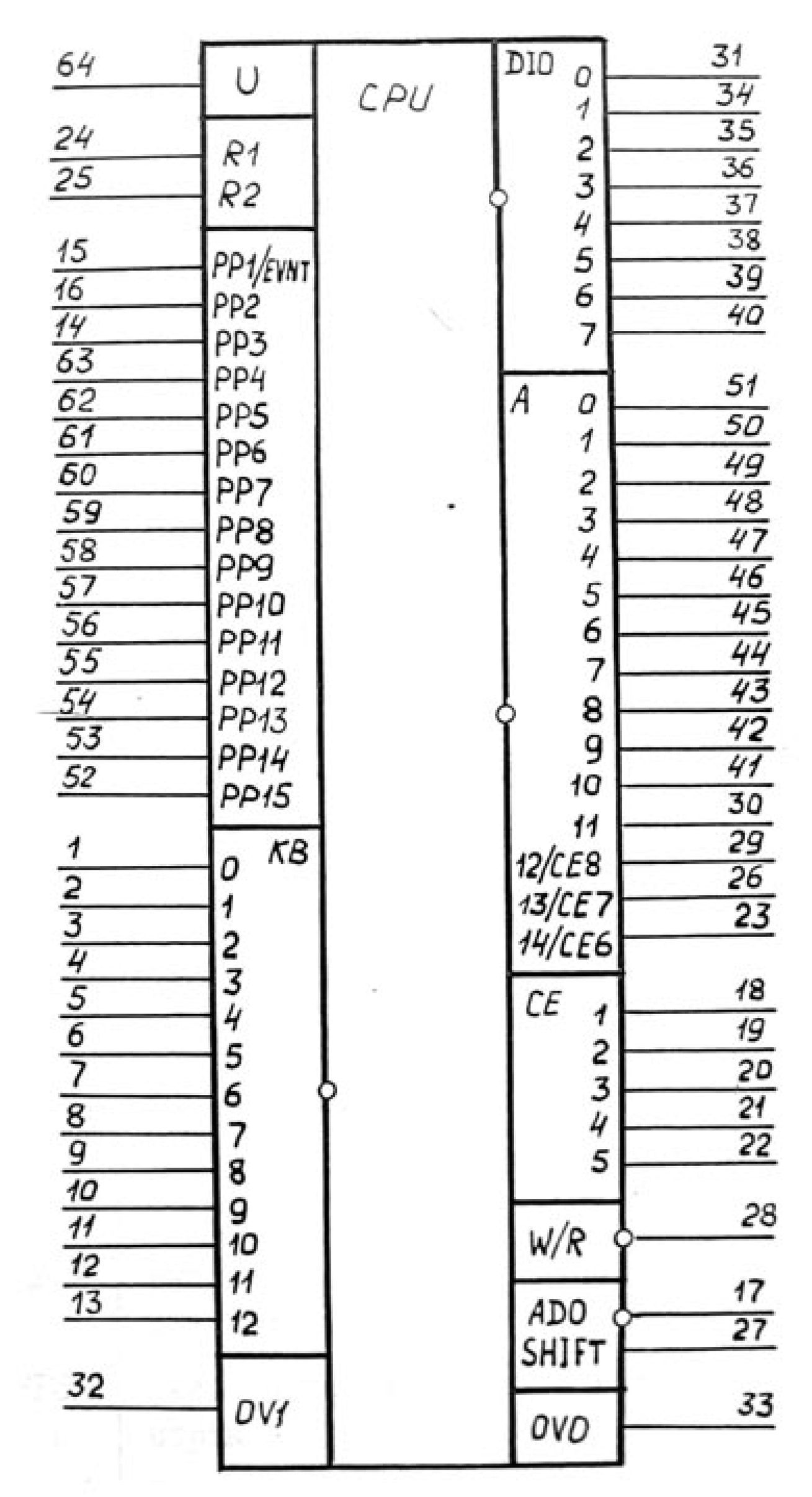


Рис. 2. Условное графическое обозначение микросхемы КА1013ВМ1.

ТАБЛИЦА НАЗНАЧЕНИЯ ВЫВОДОВ

Таблица I

| Номер вывода | Обозначение | Наименование вывода |
|---|---|---|
| I | KB0 | Вывод нулевого сигнала для подключения клавиатуры |
| 2 | KBI | Вывод первого сигнала для подключения клавиатуры |
| 3 | KB2 | Вывод второго сигнала для подключения клавиатуры |
| 4 | KB3 | Вывод третьего сигнала для подключения клавиатуры |
| 5 | KB4 | Вывод четвертого сигнала для подключения клавиатуры |
| 6 | KB5 | Вывод пятого сигнала для подключения клавиатуры |
| 7 | KB6 | Вывод шестого сигнала для подключения клавиатуры |
| 8 | KB7 | Вывод седьмого сигнала для подключения клавиатуры |
| 9 | KB8 | Вывод восьмого сигнала для подключения клавиатуры |
| I0 | KB9 | Вывод девятого сигнала для подключения клавиатуры |
| II | KBI0 | Вывод десятого сигнала для подключения клавиатуры |
| I2 | KBII | Вывод одиннадцатого сигнала для подключения клавиатуры |
| I3 | KBI2 | Вывод двенадцатого сигнала для подключения клавиатуры |
| I4 | PP3 | Вывод сигнала третьего разряда параллельного порта |
| I5 | PPI/ EVNT | Вывод первого разряда параллельного порта/сигнал прерывания от таймера |
| I6 | PP2 | Вывод сигнала второго разряда параллельного порта |
| I7 | AD0 | Вывод сигналов адресов и данных последовательного интерфейса |
| I8 | CEI | Вывод первого сигнала выбора запоминающего устройства |

Продолжение табл. I

| Номер вывода | Обозначение | Наименование вывода |
|---|---|---|
| I9 | CE2 | Вывод второго сигнала выбора запоминающего устройства |
| 20 | CE3 | Вывод третьего сигнала выбора запоминающего устройства |
| 2I | CE4 | Вывод четвертого сигнала выбора запоминающего устройства |
| 22 | CE5 | Вывод пятого сигнала выбора запоминающего устройства |
| 23 | AI4/ CE6 | Вывод четырнадцатого разряда шины адреса/шестого сигнала выбора запоминающего устройства |
| 24 | RI | Вывод сигнала для подключения резистора.Вход |
| 25 | RO | Вывод сигнала для подключения резистора.Выход |
| 26 | AI3/ CE7 | Вывод тринадцатого разряда шины адреса/седьмого сигнала выбора запоминающего устройства |
| 27 | SHIFT | Вывод сигнала синхронизации последовательного интерфейса |
| 28 | W/R | Вывод сигнала запись/чтение |
| 29 | AI2/ CE8 | Вывод двенадцатого разряда шины адреса/восьмого сигнала выбора запоминающего устройства |
| 30 | AII | Вывод сигнала одиннадцатого разряда шины адреса |
| 3I | DI00 | Вывод сигнала нулевого разряда шины данных |
| 32 | OVI | Вывод сигнала для подключения источника напряжения питания 0В |
| 33 | OVO | Вывод сигнала источника напряжения 0В/+5В |
| 34 | DI0I | Вывод сигнала первого разряда шины данных |

Продолжение табл. I

| Номер вывода | Обозначение | Наименование вывода |
|---|---|---|
| 35 | DIO2 | Вывод сигнала второго разряда шины данных |
| 36 | DIO3 | Вывод сигнала третьего разряда шины данных |
| 37 | DIO4 | Вывод сигнала четвертого разряда шины данных |
| 38 | DIO5 | Вывод сигнала пятого разряда шины данных |
| 39 | DIO6 | Вывод сигнала шестого разряда шины данных |
| 40 | DIO7 | Вывод сигнала седьмого разряда шины данных |
| 4I | AIO | Вывод сигнала десятого разряда шины адреса |
| 42 | A9 | Вывод сигнала девятого разряда шины адреса |
| 43 | A8 | Вывод сигнала восьмого разряда шины адреса |
| 44 | A7 | Вывод сигнала седьмого разряда шины адреса |
| 45 | A6 | Вывод сигнала шестого разряда шины адреса |
| 46 | A5 | Вывод сигнала пятого разряда шины адреса |
| 47 | A4 | Вывод сигнала четвертого разряда шины адреса |
| 48 | A3 | Вывод сигнала третьего разряда шины адреса |
| 49 | A2 | Вывод сигнала второго разряда шины адреса |
| 50 | AI | Вывод сигнала первого разряда шины адреса |
| 5I | AO | Вывод сигнала нулевого разряда шины адреса |
| 52 | PPI5 | Вывод сигнала пятнадцатого разряда параллельного порта |
| 53 | PPI4 | Вывод сигнала четырнадцатого разряда параллельного порта |
| 54 | PPI3 | Вывод сигнала тринадцатого разряда параллельного порта |
| 55 | PPI2 | Вывод сигнала двенадцатого разряда параллельного порта |

Продолжение табл. I

| Номер вывода | Обозначение | Наименование вывода |
|---|---|---|
| 56 | PPII | Вывод сигнала одиннадцатого разряда параллельного порта |
| 57 | PPIO | Вывод сигнала десятого разряда параллельного порта |
| 58 | PP9 | Вывод сигнала девятого разряда параллельного порта |
| 59 | PP8 | Вывод сигнала восьмого разряда параллельного порта |
| 60 | PP7 | Вывод сигнала седьмого разряда параллельного порта |
| 6I | PP6 | Вывод сигнала шестого разряда параллельного порта |
| 62 | PP5 | Вывод сигнала пятого разряда параллельного порта |
| 63 | PP4 | Вывод сигнала четвертого разряда параллельного порта |
| 64 | $U_{CC}$ | Вывод сигнала для подключения источника напряжения питания +5 В |

из режима "Включено" в режим "Выключено" все выводы, кроме I,2, 3,IO,II из подтянутого переходят в третье состояние. Для идентификации клавиши рекомендуется использовать кодовые комбинации - два "0" из тринадцати, реализуемые контактными группами на замыкание двух выводов между собой и подключение их к шине "ОВ". Режим "Выключено" устанавливается подачей низкого уровня на выводы I,2. При подключении источника питания в режиме "Выключено" происходит начальная установка микросхемы. Режим "Выключено" сохраняется и после снятия сигнала "ОВ" с выводов I,2 до замыкания выводов I и II или IO и II с шиной "ОВ", т.е. до перехода в режим "Включено" по нажатию на одну из двух клавиш "Вкл.". После снятия сигнала "ОВ" хотя бы с одного из выводов клавиши "Вкл" процессор переходит к обработке начального пуска. Повторное нажатие одной из клавиш "Вкл" приводит к высокоприоритетному прерыванию процессора " HALT ".

Таким образом, контактная группа клавиатуры, замыкающая выводы I и 2, подключающая их к шине "ОВ", реализует функцию "Выкл." , а контактные группы с выводами I-II и IO-II - функцию "Вкл.". Использование "Вкл" I-II или IO-II зависит от типа применяемых микросхем ПЗУ К563РЕI (8Кх8) или КАIOI3РЕI (32Кх8).

Выводы 3I, 34-40 " DIO " - входы-выходы шины данных. Низкий уровень сигнала на этих выводах соответствует передаче логической "I".

Выводы 5I-4I, 30, "А" - выход сигнала адреса с 0 по II разряд. Высокий уровень сигнала на всех выводах соответствует адресу "0".

Выводы I8-22 "СЕ" - выходы сигналов выборки запоминающих устройств ОЗУ,ПЗУ.

Выводы 23, 26, 29 "A/CE" - выходы. Выполняют функции сигналов адреса, либо сигналов обращения к запоминающим устройствам. В зависимости от состава и конфигурации памяти. Переключение функции выводов программно доступно.

Вывод 28 "W/R" - выход сигнала запись-чтение. Низкий уровень сигнала устанавливается на время выдачи данных в цикле записи.

Вывод I7 "ADO" - выход сигнала адрес/данные последовательного порта. Совмещение использования одного вывода для передачи адресов и данных достигается разделением во времени:снача - ла передаются 8 разрядов адреса (младшим битом вперед), затем после перехода сигнала W/R из высокого уровня в низкий - 5 разрядов данных так же младшим битом вперед.

Вывод 27 " SHIFT " - выход сигнала синхронизации информации, передаваемой по последовательному интерфейсу. По переднему фронту сигнала на этом выводе процессор устанавливает очередной бит информации. Задний фронт сигнала предназначен для защелкивания информации в приемнике.

Выводы 52-63, I4, I5, I6 - входы-выходы параллельного порта. Переключение направления передачи информации по этим выводам происходит по группам из 3-4 выводов под управлением программы. В исходном состоянии это выходы. Вывод I5 в режиме входа может служить источником прерывания от таймера.

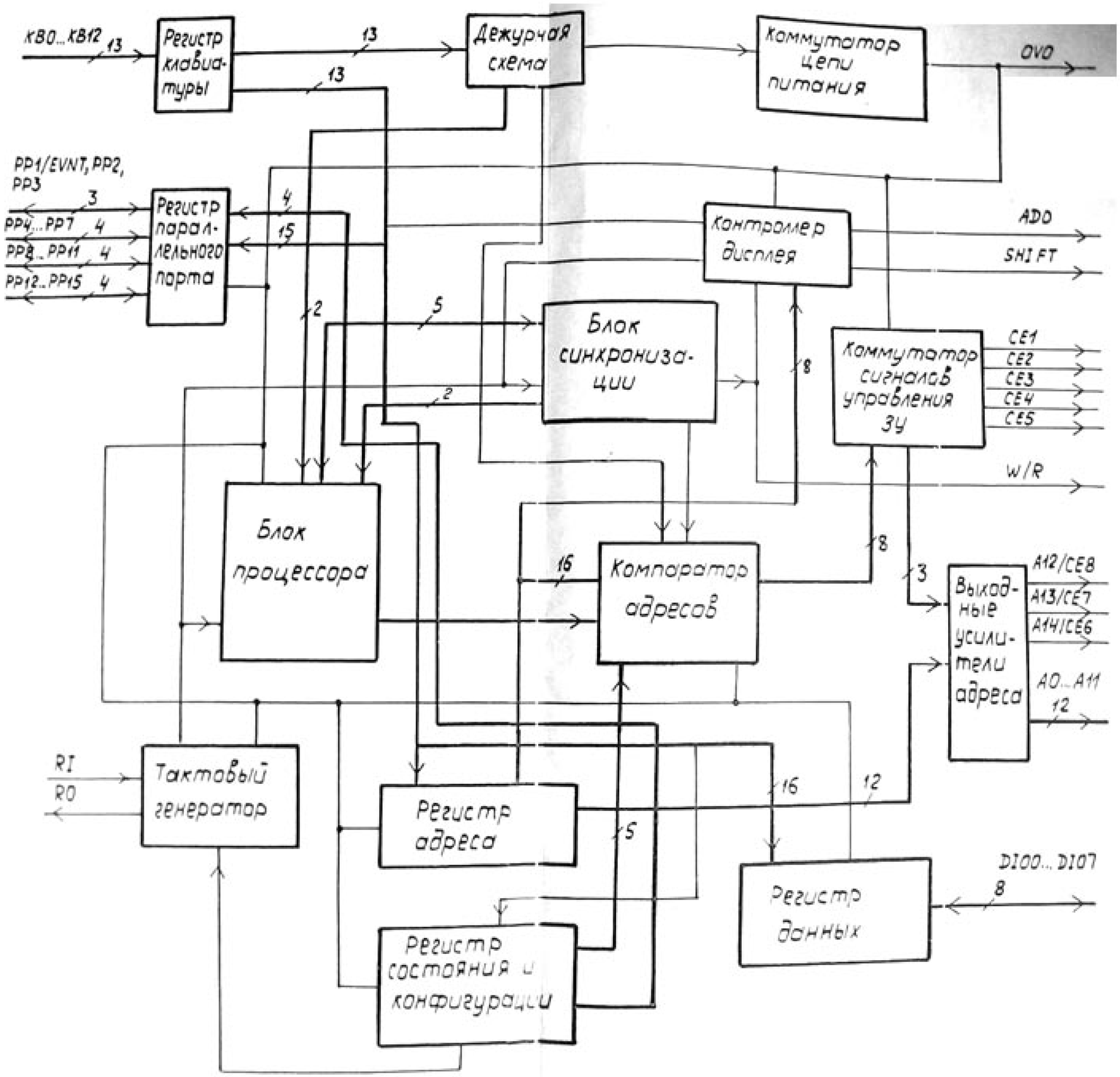


Рис. 3. Структурная схема микросхемы КА10133М1.

## I.2.8. Описание узлов и блоков "обрамления" блока процессора

Дежурная схема под управлением регистра клавиатуры и с помощью коммутатора цепи питания осуществляет включение-выключение питания всех узлов и блоков микросхемы (за исключением регистра клавиатуры и коммутатора цепи питания) и формирует сигналы начального пуска блока процессора по включению пита - ния.

Указанные три устройства (дежурная схема, регистр клавиатуры и коммутатор) питаются непосредственно от источника на - пряжения, подключенного (естественно) к 32 и 64 выводам микросхемы, а все остальные узлы и блоки микросхемы подключены к "+" шине питания непосредственно, а к шине "0 В" через коммутатор цепи питания (см. рис. 3, 16 ). Аналогично питаются все внешние устройства, подключенные между $U_{cc}$ шиной и 33 выводом микросхемы, который являясь выходом коммутатора, в этом случае используется в качестве клеммы источника напряжения. Кроме основной функции - управления включением-выключением питания - дежурная схема управляет режимами тактового генератора (работа на номинальной или повышенной частоте), (компаратора адреса и блока синхронизации для переключения протокола обмена: с ПЗУ 8Кх8 или 32Кх8).

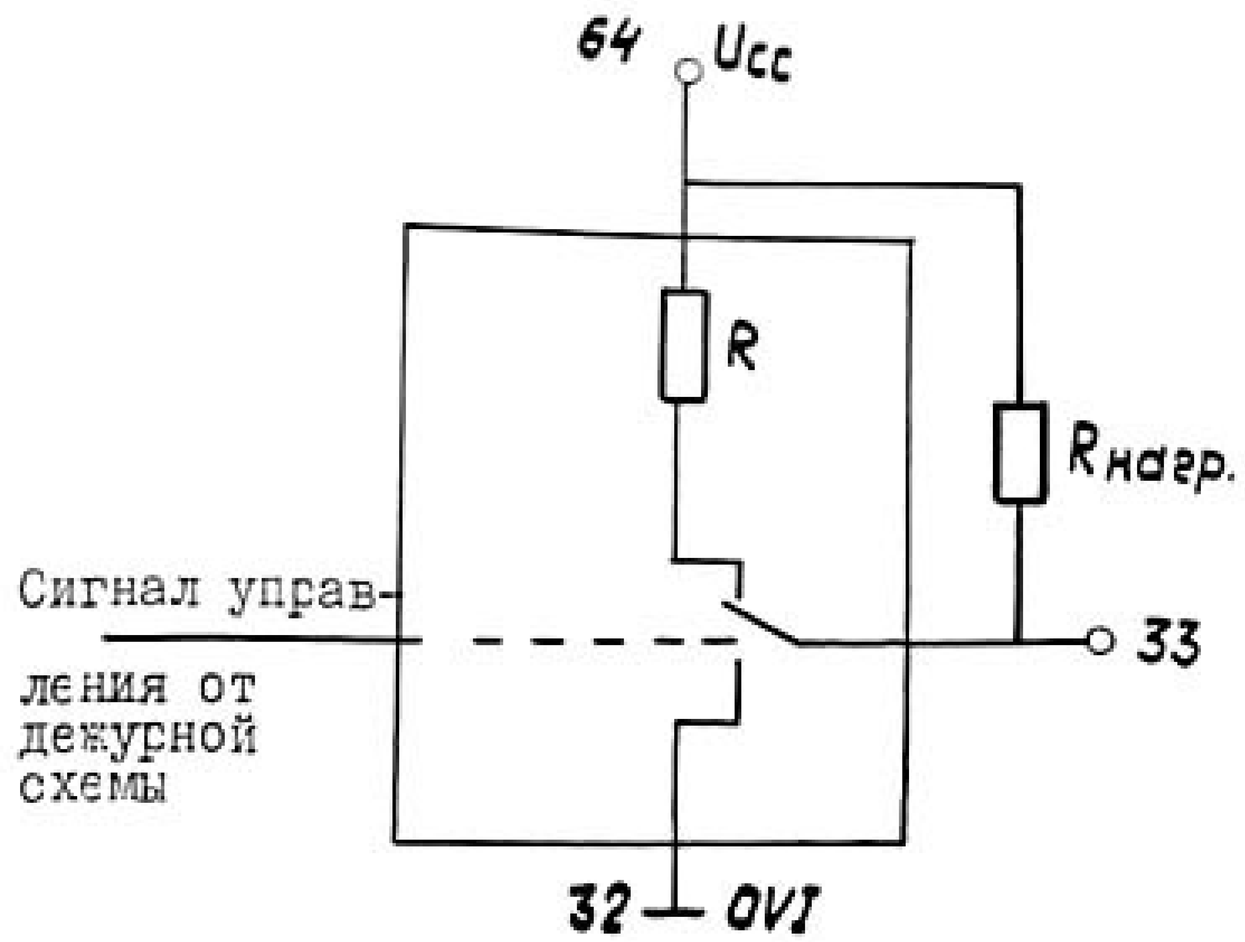


Рис. 16. Условная схема коммутатора цепи питания.

Схема коммутатора цепи. При записи лог.I происходит выключение: шина OVO (33 вывод микросхемы) подключается к шине питания $U_{cc}$ (64 вывод микросхемы). Включение происходит при подаче соответствующей кодовой комбинации на выводы I...I3 микросхемы. При этом шина OVO подключается к шине питания OVI (32 вывод микросхемы). Сопротивление нагрузки показано условно. Нагрузкой являются все узлы и блоки микросхемы (кроме дежурной схемы и регистра клавиатуры), а также внешние нагрузки, потребляющие до I0 мА.

Регистр состояния и конфигурации имеет адрес $404_8$, доступен по записи и чтению. Его формат показан на рис. 17.

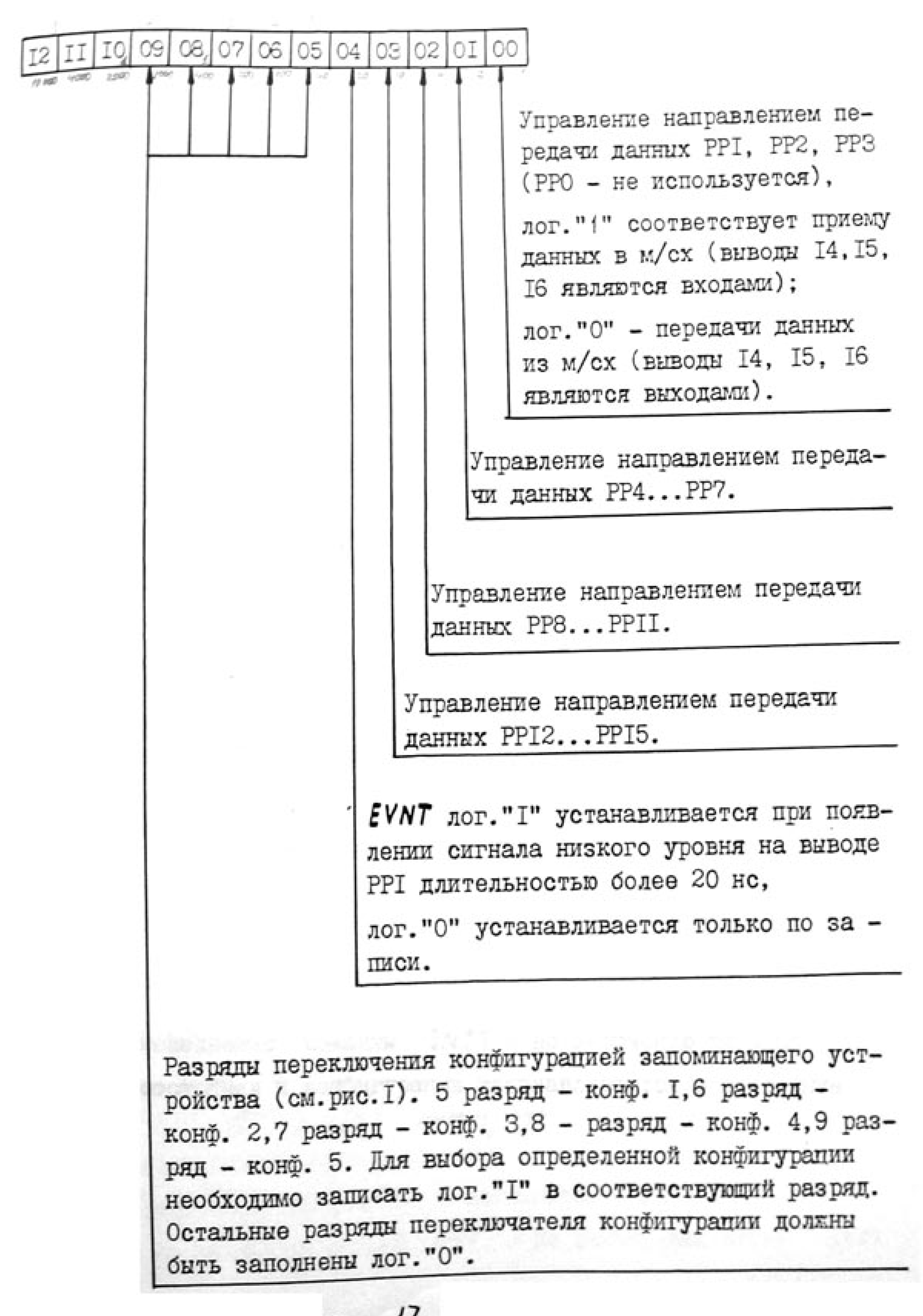
I2 II I0 09 08 07 06 05 04 03 02 0I 00
Управление направлением передачи данных PPI, PP2, PP3 (PP0 - не используется),
лог."1" соответствует приему данных в м/сх (выводы I4,I5, I6 являются входами);
лог."0" - передачи данных из м/сх (выводы I4, I5, I6 являются выходами).
Управление направлением передачи данных PP4...PP7.
Управление направлением передачи данных PP8...PPII.
Управление направлением передачи данных PPI2...PPI5.
EVNT лог."I" устанавливается при появлении сигнала низкого уровня на выводе PPI длительностью более 20 нс,
лог."0" устанавливается только по записи.
Разряды переключения конфигурацией запоминающего устройства (см.рис.I). 5 разряд - конф. I,6 разряд - конф. 2,7 разряд - конф. 3,8 - разряд - конф. 4,9 разряд - конф. 5. Для выбора определенной конфигурации необходимо записать лог."I" в соответствующий разряд. Остальные разряды переключателя конфигурации должны быть заполнены лог."0".

Рис. 17.

Продолжение рис. 17.

| I2 | II | I0 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 0I | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|
| 16000 | 8000 | 4000 | 2000 | 1000 | 400 | 200 | 100 | 40 | 20 | 10 | 4 | 2 | 1 |

Управление остановом тактового генератора. Для останова необходимо записать лог."0". Возобновление работы генератора происходит при появлении низкого уровня длительностью более 20 нс, хотя бы на одном из выводов "КВ".

Переключение из режима "Останов" в режим "Работа" и наоборот происходит без проколов и выбросов через 0,5 периода тактовой частоты после снятия сигнала W/R в цикле записи в регистр состояния.

Управление тактовой частотой: при записи лог."I"

$f$ Такт. = $f$ генератора, при лог."0" $f$ Такт. = $f$ Ген/8.

Программный выключатель питания.

По исполнению команды INIT и по включению питания регистр состояния и конфигурации устанавливается в состояние $2400_8$. все - вывод, конф 4, пуск.

Блоки: синхронизации, компаратор адресов, коммутатор сигналов управления ЗУ, регистр данных и регистр адреса осуществляют связь шестнадцатиразрядной магистрали Адрес-данные блока процессора с внешним запоминающим устройством, имеющим раздельные шины данных (8 разрядов) и адреса (I5 разрядов).

Компаратор адресов под управлением регистров адреса и конфигурации формирует сигналы обращения к различным областям адресного пространства, в котором существуют три фиксированных адреса: для регистра клавиатуры $400_8$, для регистра параллельного порта - $402_8$, для регистра состояния и конфигурации - $404_8$. Остальное пространство распределяется между кристаллами внешнего запоминающего устройства в соответствии с рис. I.

В регистре адреса хранится I6 разрядов адреса текущего обмена, причем начало хранения адреса совпадает с началом обмена по каналу блока процессора, а окончание - задерживается на 0,5 периода тактовой частоты. Выходы регистра адреса подключены к компаратору адресов, контроллеру дисплея и через выходные усилители - к шине адреса (выводы 23, 26, 29, 30, 4I...5I микросхемы).

Блок синхронизации выполняет функцию преобразования сигналов синхронизации магистрали блока процессора в сигналы управления кристаллами внешнего запоминающего устройства CE, OE, W/R.

Процедура чтения информации из внешнего запоминающего устройства, может выполняться по трем различным протоколам: чтение ОЗУ, чтение ПЗУ 8Кх8, чтение ПЗУ 32Кх8 в зависимости от выбранной конфигурации и адреса обмена.

Чтение ОЗУ (см.рис. 18 ) начинается с установки адреса обмена на шине адреса A0...A14 . Не ранее, чем через I такт

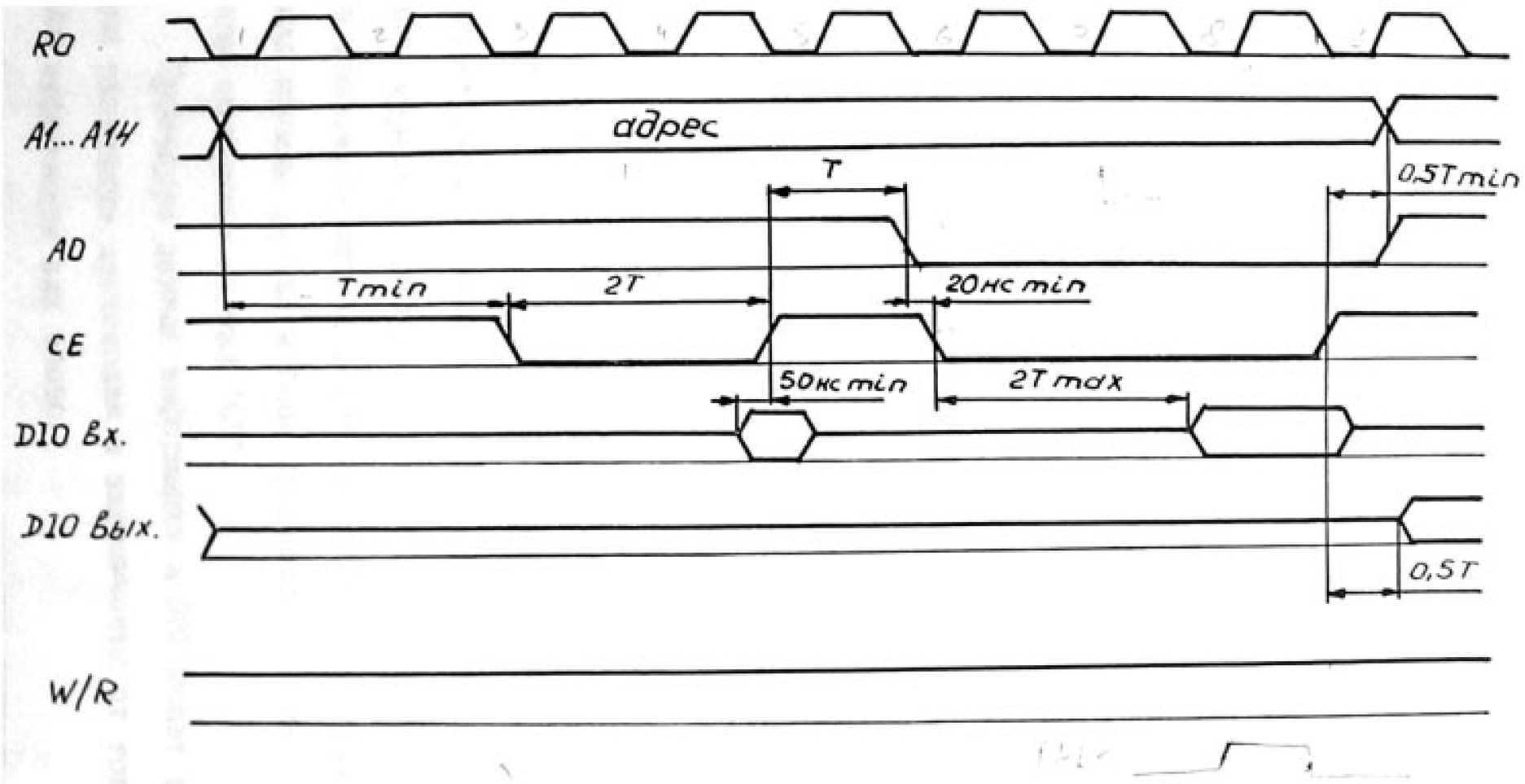


Рис.18. Чтение ОЗУ.

низким уровнем длительностью в 2 такта выставляется сигнал выбора ОЗУ "CE". ОЗУ должно не позднее, чем за 50 нс до снятия сигнала CE установить данные на выводах **DIO** . Через I такт после снятия сигнала "CE" инвертируется младший разряд адреса и не ранее, чем через 20 нс после этого вторично выставляется сигнал выбора ОЗУ, который теперь удерживается до окончания внутреннего цикла приема данных в блок процессора (обычно 3-4 такта). Данные должны быть сформированы в течение 2-х тактов после начала второго сигнала "CE". Адрес снимается не ранее 0,5 такта после снятия сигнала "CE", и через 0,5 такта на выводах **DIO** устанавливается режим выходов.

Чтение ПЗУ 8Кх8 (см.рис. 19 ) отличается от процедуры чтения ОЗУ только тем, что сигнал выбора микросхемы инвертирован.

Чтение ПЗУ 32Кх8 (см.рис. 20 ) начинается с установки адреса на шине адреса **A0...A14** и режима входов на выводах **DIO.** Через один такт устанавливается низким уровнем сигнал выбора ПЗУ "CE". ПЗУ должно не позднее чем за 50 нс до начала пятого полутакта после выставления сигнала "CE" установить данные на выводах **DIO** . Через два такта с начала сигнала "CE" инвертируется младший разряд адреса, а ПЗУ к началу третьего полутакта после смены адреса должно установить новые данные на выводах **DIO** . Это состояние сигналов удерживается до окончания внутреннего цикла приема данных в блок процессора обычно один - два такта, затем снимается сигнал "CE".

Процедура записи информации в ОЗУ может выполняться по двум различным протоколам в зависимости от того, записывается байт информации или слово.

В случае записи слова аналогично процедурам чтения уста-

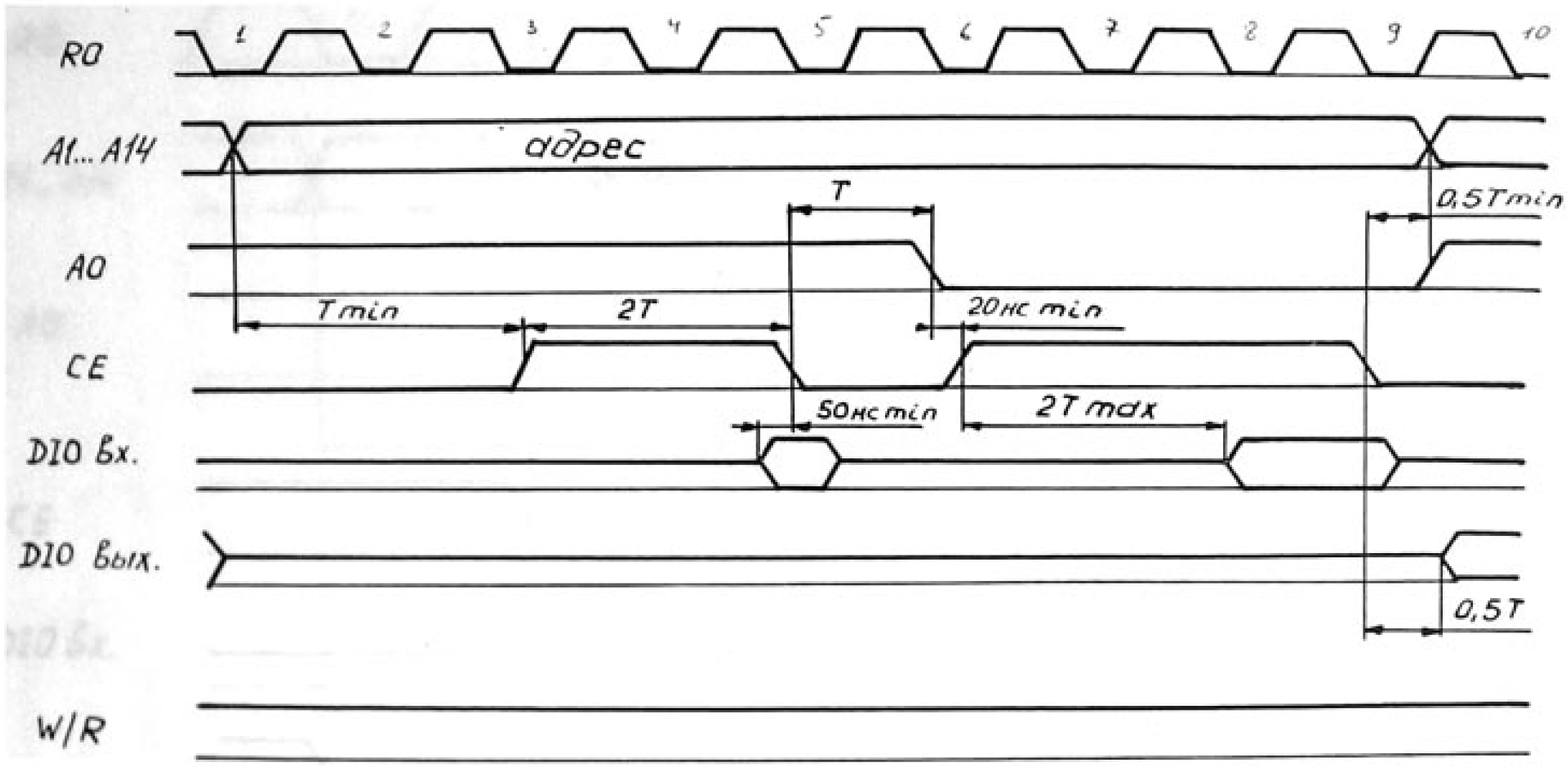


Рис. 19. Чтение ПЗУ 8К × 8.

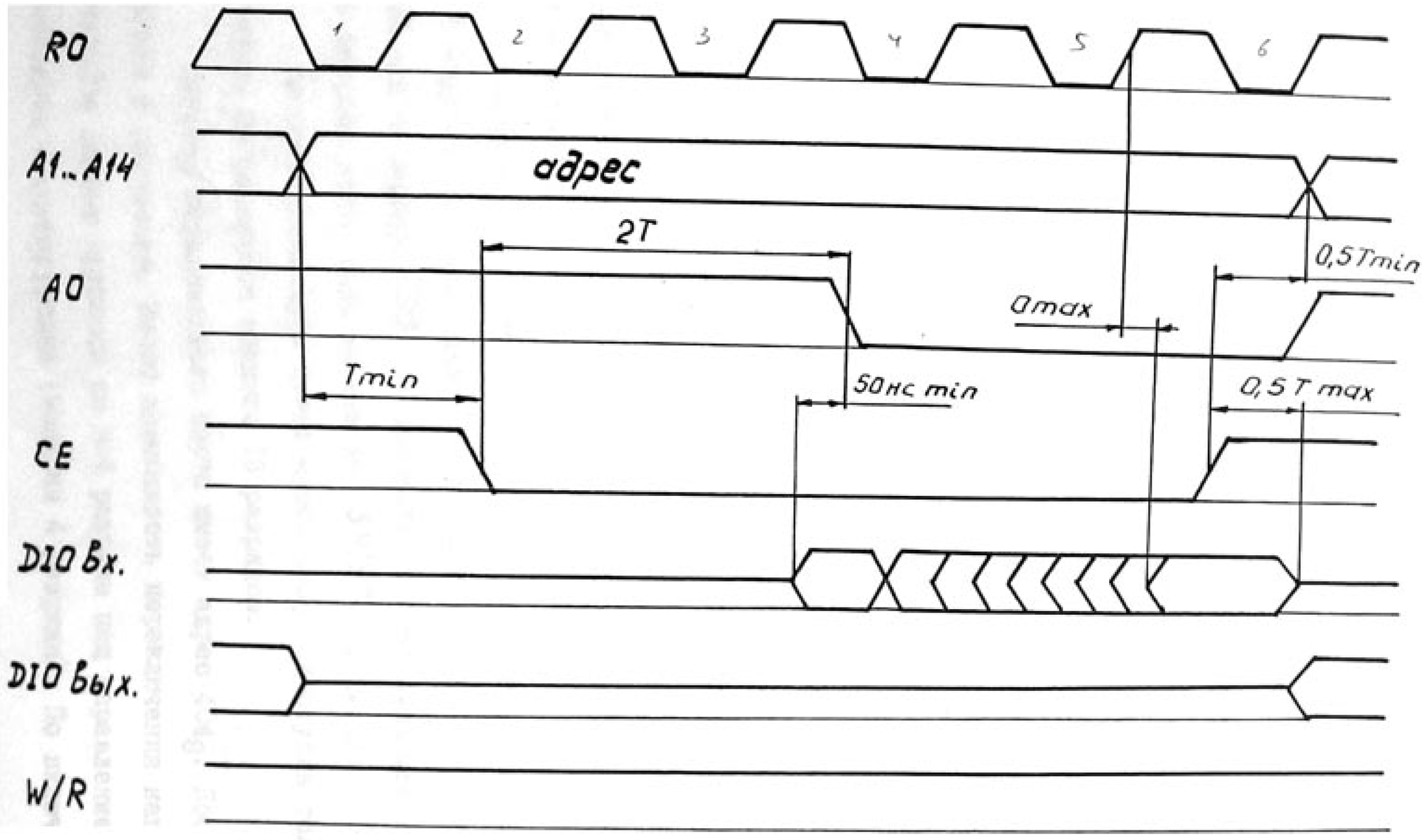


Рис. 20. Чтение ПЗУ 32К х 8.

навливается адрес на выводах A0...A14 и режим входов на выводах DIO . Через время, не более I T низким уровнем выставляется сигнал W/R , выводы DIO переходят в режим выходов и на них устанавливается информация. Не ранее, чем через I T после появления сигнала W/R вырабатывается сигнал выбора ОЗУ "CE" низким уровнем длительностью 2 T. Через I T после снятия "CE" инвертируется младший разряд адреса и устанавливается новая информация на выводах DIO . Не ранее, чем через 20 нс после этого вторично вырабатывается сигнал "CE" и удерживается до окончания внутреннего цикла записи данных обычно 3-4 такта, а снимается не ранее снятия сигнала W/R . Адрес удерживается еще не менее 0,5 такта (см.рис. 21 ).

Процедура записи байта от начала (установка адреса) до выставления первого сигнала "CE" протекает аналогично процедуре записи слова. Сигнал выбора ОЗУ вырабатывается один раз и удерживается до окончания внутреннего цикла записи (обычно 3-4 T). Снимается не ранее снятия сигнала W/R . Завершается процедура аналогично записи слова (см.рис. 22 ).

Контроллер дисплея преобразует 8 младших разрядов адреса и 5 младших разрядов данных в последовательный тринадцатиразрядный код на выводе ADO и формирует сигнал синхронизации каждого разряда этого кода на выводе SHIFT , см.рис. 23.

Регистр клавиатуры имеет адрес $400_8$ , доступен только по чтению. Используются младшие I3 разрядов.

Регистр параллельного порта имеет адрес $\cancel{404}_8$ 402. Доступен по записи и по чтению. Имеет возможность переключения направления передачи данных группами по 3-4 разряда под управлением регистра состояния и конфигурации (младшие 4 разряда). По включению пита-

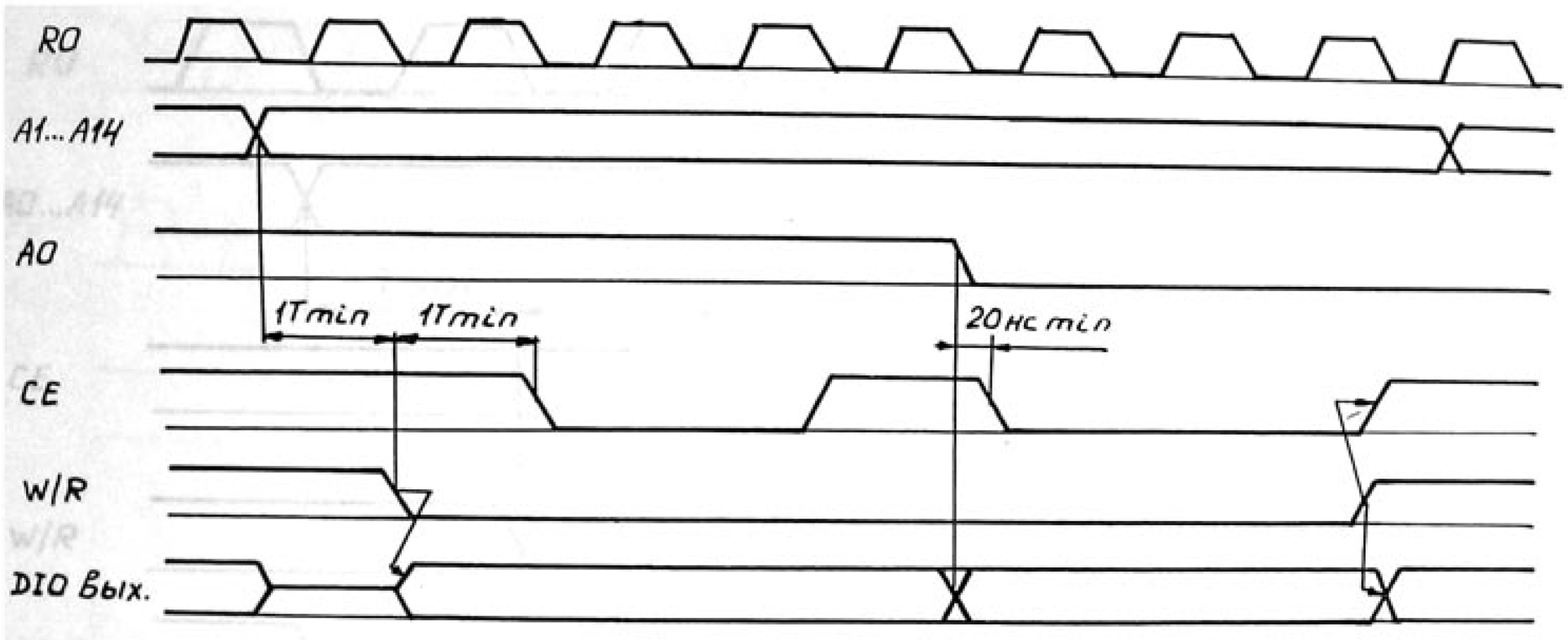


Рис.21. Запись слова.

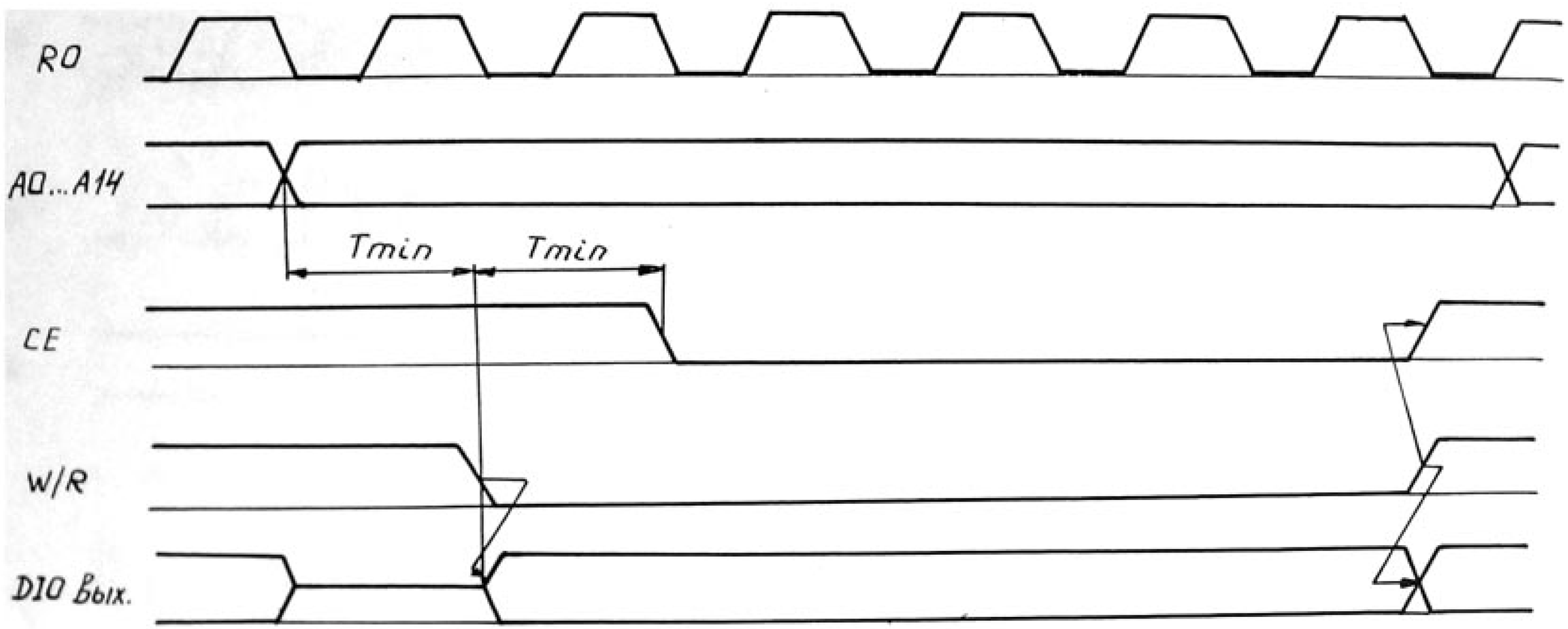


Рис. 22. Запись байта.

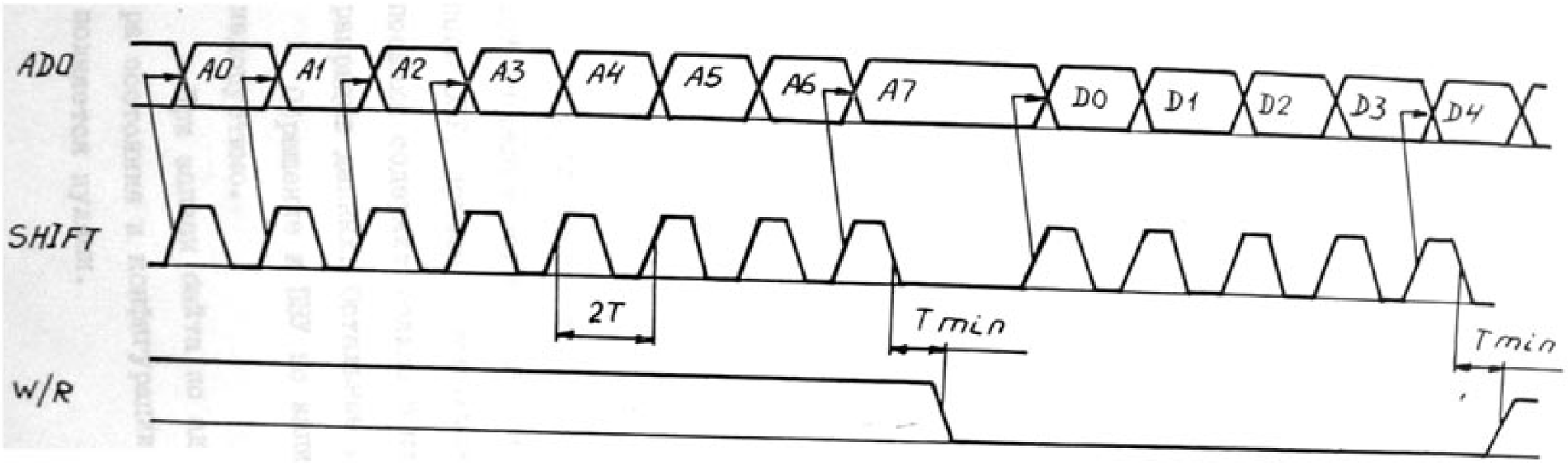


Рис. 23. Запись в экранное ОЗУ.

ния устанавливается режим передачи данных из микросхемы. Используются только I5 старших разрядов. При появлении электрического 0 на выводе I5 микросхемы независимо от направления передачи данных (I разряд порта) на блок процессора приходит сигнал прерывания от таймера EVNT . 0 разряд в работе порта не участвует, при чтении равен лог."0".

Тактовый генератор работает на частотах 50 кГц - 4,5 МГц. Имеется возможность шунтировать внешнюю времязадающую цепь внутренним резистором, сопротивлением 3÷I0 кОм. Для этого необходимо при включении предварительно подать сигнал 0 В на 3 и I0 выводы микросхемы. С помощью I0 разряда регистра состояния и конфигурации можно останавливать генератор без проколов и выбросов. Останов происходит минимум через 0,5 периода тактовой частоты после снятия сигнала W/R в цикле записи по адресу регистра.

## I.3. Особенности выполнения некоторых процедур

При обращении к младшей ПЗУ по записи с признаком байтовой операции осуществляется запись информации в область экранного ОЗУ, причем формируемая на выводах ADO , SHIFT , W/R посылка содержит только 8 младших разряда адреса и 5 младших разрядов данных. Остальные разряды игнорируются.

Обращение к ПЗУ по записи без признака байтовой операции недопустимо.

При записи байта по адресам параллельного порта и регистра состояния и конфигурации дополняющий его до слова байт заполняется нулями.

В микросхеме КАІОІЗВМІ реализованы следующие прерывания от внешних источников : HALT - возникает при установке на выводах IOи II или I и II низких уровней напряжения одновре - менно; EVNT возникает при установке низкого уровня напря- жения на выводе I5 (либо в режиме входа, либо в режиме выхода).

## I.4. ВНЕШНИЕ ВОЗДЕЙСТВУЮЩИЕ ФАКТОРЫ
микросхемы КАI0I3ВМI

| | |
|---|---|
| Синусоидальная вибрация: | |
| диапазон частот, Гц | от I до 2000 |
| амплитуда ускорения, м/с$^{-2}$, не более | 200 |
| Механический удар многократного действия: | |
| пиковое ударное ускорение, м/с$^{-2}$ | I500 |
| длительность действия ударного ускорения, мс | от I до 5 |
| Линейное ускорение, м/с$^{-2}$ | 5000 |
| Пониженная рабочая температура среды, $^{o}$C | минус I0 |
| Повышенная рабочая температура среды, $^{o}$C | +70 |
| Изменение температуры среды, $^{o}$C | от минус I0 до +70 |
| Относительная влажность воздуха при температуре 35$^{o}$C, %, не более | 98 |

## I.5. ОСНОВНЫЕ ТЕХНИЧЕСКИЕ ДАННЫЕ микросхемы КА1013ВМ1

Напряжение питания микросхемы 5В ± 20%.

### ОСНОВНЫЕ ЭЛЕКТРИЧЕСКИЕ ПАРАМЕТРЫ микросхемы КА1013ВМ1

Таблица 5

| Наименование параметра, единица измерения | Буквенное обозначение | | Норма | | Режим измерения |
|---|---|---|---|---|---|
| | отечественное | международное | не менее | не более | |
| Выходное напряжение низкого уровня, В | $U^{0}_{вых.}$ | $U_{OL}$ | | 0,5 | $U_{CC}$ = 4,0В<br>$I_{OL}$ =1,6мА* |
| Выходное напряжение высокого уровня, В | $U^{1}_{вых.}$ | $U_{OH}$ | 3,8 | | $U_{CC}$ = 4,0В*<br>$I_{OH}$ = 0,1мА |
| Ток потребления (статический), мкА | $I_{пот.}$ | $I_{CC}$ | | 100 | $U_{CC}$ = 6,0В<br>$F_{CLC}$ = 0 |

* Указано максимальное значение тока нагрузки одновременно не более, чем на 1 вывод только для проведения контрольных операций. При эксплуатации рекомендуется емкостная нагрузка.

## I.6. ПРЕДЕЛЬНЫЕ ЗНАЧЕНИЯ РЕЖИМОВ ЭКСПЛУАТАЦИИ микросхемы КАI0I3ВМI

Таблица 6

| Наименование параметра, единица измерения | Буквенное обозначение | | Норма | | Примечание |
|---|---|---|---|---|---|
| | отечественное | международное | не менее | не более | |
| Питающее напряжение, В | $U_{и.п.}$ | $U_{CC}$ | 4,0 | 6,0 | |
| Входное напряжение высокого уровня, В | $U^{1}_{вх.}$ | $U_{IH}$ | $U_{CC}-1$ | $U_{CC}$ | |
| Емкость нагрузки, пФ | $C_H$ | $C_L$ | | I00 | |