

СОДЕРЖАНИЕ

Предисловие

- Назначение руководства
- Целевая аудитория
- Структура руководства
- Дополнительная литература
- Новое в данном руководстве
- Техническая поддержка и поддержка потребителей
- Семейство процессоров
- Информация о продуктах
 - Информация о цифровых сигнальных процессорах
 - Сопутствующие документы
 - Интерактивные технические публикации и публикации в сети
 - Печатные версии руководств
 - Руководства по средствам разработки и среде VisualDSP++
 - Руководства по архитектуре
 - Спецификации
 - Рекомендации по улучшению документации
- Используемые обозначения
 - Обозначения, используемые в диаграммах регистров

Глава 1. Введение

- Периферийные устройства
- Архитектура ядра
- Архитектура памяти
 - Внутренняя память
 - Внешняя память
 - Пространство памяти ввода/вывода
- Обработка событий
 - Контроллер событий ядра (SEC)
 - Контроллер прерываний системы (SIC)
- Поддержка DMA
- Устройство интерфейса внешней шины
 - Контроллер SDRAM PC133
 - Асинхронный контроллер
- Параллельный периферийный интерфейс
- Последовательные порты (SPORT)
- Порт последовательного периферийного интерфейса (SPI-порт)
- Таймеры
- Порт UART
- Часы реального времени
- Сторожевой таймер
- Программируемые флаги
- Сигналы тактовой синхронизации

Содержание

- Динамическое управление потребляемой мощностью
 - Режим работы с полной мощностью (максимальная производительность)
 - Активный режим (умеренное снижение потребляемой мощности)
 - Режим сна (значительное снижение потребляемой мощности)
 - Режим глубокого сна (максимальное снижение потребляемой мощности)
- Стабилизация напряжения
- Режимы загрузки
- Описание набора команд
- Средства разработки

Глава 2. Вычислительные устройства

- Использование форматов данных
 - Двоичные строки
 - Беззнаковые числа
 - Знаковые числа: дополнительный код
 - Представление дробных чисел в формате 1.15
- Регистровые файлы
 - Регистровый файл данных
 - Регистры аккумуляторов
 - Регистровый файл указателей
 - Набор регистров генератора адреса данных
 - Обзор команд регистрового файла
- Типы данных
 - Порядок следования байтов
 - Типы данных АЛУ
 - Типы данных умножителя
 - Типы данных устройства сдвига
 - Обзор арифметических форматов
 - Использование целочисленного и дробного форматов умножителя
 - Округление результатов умножителя
 - Несмещённое округление
 - Смещённое округление
 - Усечение
 - Специальные команды округления
- Использование информации арифметического состояния
- Регистр арифметического состояния (ASTAT)
- Арифметико-логическое устройство (АЛУ)
 - Операции АЛУ
 - Простые 16-разрядные операции
 - Двойные 16-разрядные операции
 - Счетверённые 16-разрядные операции
 - Простые 32-разрядные операции
 - Двойные 32-разрядные операции
 - Обзор команд АЛУ
 - Поток данных в АЛУ
 - Опция перекрещивания в двойных 16-разрядных операциях
 - Сигналы состояния АЛУ

- Поддержка деления в АЛУ
- Специальные SIMD операции видео АЛУ
- Умножители-накопители (умножители)
 - Работа умножителя
 - Размещение результатов умножителя в регистрах аккумуляторов
 - Округление и насыщение результатов умножителя
 - Насыщение результатов умножителя при переполнении
 - Обзор команд умножителя
 - Опции команд умножителя
 - Поток данных в умножителе
 - Умножение без накопления
 - Специальная команда умножения-накопления 32-разрядных целых чисел
 - Двойные операции умножения-накопления
- Устройство сдвига
 - Операции устройства сдвига
 - Операции сдвига с двумя операндами
 - Непосредственный сдвиг
 - Сдвиг, определяемый значением регистра
 - Операции сдвига с тремя операндами
 - Непосредственный сдвиг
 - Сдвиг, определяемый значением регистра
 - Проверка, установка, сброс, инвертирование битов
 - Извлечение и внесение битового поля
 - Обзор команд устройства сдвига

Глава 3. Рабочие режимы и состояния

- Пользовательский режим
 - Защищённые ресурсы и команды
 - Защищённая память
 - Вход в Пользовательский режим
 - Пример кода, реализующего вход в Пользовательский режим при сбросе
 - Команды возврата, активизирующие Пользовательский режим
- Режим Супервизора
 - Работа в среде без операционной системы
 - Пример кода, реализующего сохранение процессора в режиме Супервизора при выходе из состояния сброса
- Режим Эмуляции
- Состояние Ожидания
 - Пример кода, реализующего переход в состояние Ожидания
- Состояние Сброса
- Сброс системы и конфигурация при включении питания
 - Аппаратный сброс
 - Регистр конфигурации системы при сбросе (SYSCR)
 - Типы программного сброса и сторожевой таймер
 - Регистр программного сброса (SWRST)
 - Программный сброс ядра
 - Программный сброс ядра и системы

Содержание

Методы загрузки

Глава 4. Программный автомат

Регистры программного автомата

Регистр состояния программного автомата (SEQSTAT)

Регистры циклов с нулевыми непроизводительными затратами (LC, LT, LB)

Регистр конфигурации системы (SYSCFG)

Конвейер команд

Переходы и управление переходами

Прямые короткие и длинные переходы

Прямые вызовы

Косвенные переходы и вызовы

Косвенные переходы и вызовы относительно счётчика команд

Флаг кода условия

Условные переходы

Условные пересылки регистров

Предсказание переходов

Циклы и управление циклами

События и управление событиями

Обработка прерываний системы

Прерывания периферии системы

Регистр разрешения вывода из ожидания по прерыванию системы (SIC_IWR)

Регистр состояния прерываний системы (SIC_ISR)

Регистр маскирования прерываний системы (SIC_IMASK)

Регистр назначения прерываний системы (SIC_IARx)

Регистры контроллера событий ядра

Регистр маскирования прерываний ядра (IMASK)

Регистр фиксирования прерываний ядра (ILAT)

Регистр регистрации прерываний ядра, ожидающих обслуживания (IPEND)

Глобальное разрешение/запрещение прерываний

Таблица векторов событий

Эмуляция

Сброс

NMI (Немаскируемое прерывание)

Исключения

Обработка исключений, возникающих при выполнении обработчика исключения

Прерывание аппаратной ошибки

Таймер ядра

Прерывания общего назначения (IVG7-IVG15)

Обслуживание прерываний

Вложение прерываний

Невложенные прерывания

Вложенные прерывания

Пример начала программы обслуживания вложенного прерывания

- Пример окончания программы обслуживания вложенного прерывания
- Регистрация запросов вложенных прерываний
- Обработка исключений
 - Откладывание обработки исключения
 - Пример кода обработчика исключения
 - Пример кода программы исключения
 - Пример программы использования аппаратных циклов в программе обслуживания прерывания
- Дополнительные аспекты использования программного автомата
 - Выполнение команд RTX, RTN и RTE событием с низким приоритетом
 - Рекомендации по размещению стека системы
 - Задержка при обслуживании событий

Глава 5. Генераторы адреса данных

- Адресация с использованием генераторов адреса данных
 - Указатели стека и кадра
 - Адресация циклических буферов
 - Адресация с бит-реверсией адреса
- Индексная адресация с использованием индексных регистров и регистров указателей
 - Адресация с автоматическим инкрементированием и декрементированием
 - Адресация с предмодификацией указателя стека
 - Индексная адресация с непосредственно указанным смещением
 - Адресация с постмодификацией
- Модификация регистров указателей и регистров генераторов адреса данных
- Выравнивание адресов памяти
- Обзор команд генератора адреса данных

Глава 6. Память

- Архитектура памяти
 - Обзор внутренней памяти
 - Обзор сверхоперативной SRAM данных
 - Память команд L1
 - Регистр управления памятью команд (IMEM_CONTROL)
 - SRAM команд L1
 - Кэш команд L1
 - Строки кэша
 - Совпадения и пропуски кэша
 - Заполнение строк кэша
 - Буфер заполнения строк
 - Замещение строки кэша
 - Управление кэшем команд
 - Запирание кэша команд по строкам
 - Запирание кэша команд по входам
 - Недостоверность кэша команд

Содержание

- Регистры проверки команд
 - Регистр команд проверки команд (ITEST_COMMAND)
 - Регистр данных проверки команд 1 (ITEST_DATA1)
 - Регистр данных проверки команд 0 (ITEST_DATA0)
- Память команд L1
 - Регистр управления памятью данных (DMEM_CONTROL)
 - SRAM данных L1
 - Кэш данных L1
 - Пример отображения кэшируемого адресного пространства в банки данных
 - Доступ к кэшу данных
 - Метод записи кэша
 - Регистр приоритета прерывания (IPRIO) и глубина буфера записи
 - Команды управления кэшем данных
 - Управление достоверностью кэша данных
- Регистры проверки данных
 - Регистры команд проверки данных (DTEST_COMMAND)
 - Регистр данных проверки данных 1 (DTEST_DATA1)
 - Регистр данных проверки данных 0 (DTEST_DATA0)
- Внешняя память
- Защита памяти и свойства защиты памяти
 - Устройство управления памятью
 - Страницы памяти
 - Атрибуты страниц памяти
 - Таблица дескрипторов страниц
 - Управление CPLB
 - Применение MMU
 - Примеры областей защищённой памяти
 - Регистры данных ICPLB (ICPLB_DATAx)
 - Регистры данных DCPLB (DCPLB_DATAx)
 - Регистры адреса DCPLB (DCPLB_ADDRx)
 - Регистры адреса ICPLB (ICPLB_ADDRx)
 - Регистры состояния ICPLB и DCPLB (DCLB_STATUS, ICPLB_STATUS)
 - Регистры ошибочного адреса ICPLB и DCPLB (DCPLB_FAULT_ADDR, ICPLB_FAULT_ADDR)
- Модель транзакций памяти
- Операции загрузки/сохранения в память
 - Замкнутый конвейер
 - Упорядочение операций загрузки регистра и сохранения в памяти
 - Синхронизация команд
 - Выполнение спекулятивной операции загрузки регистра
 - Условное выполнение загрузки
- Работа с памятью
 - Выравнивание
 - Когерентность кэша
 - Элементарные операции
 - Регистры, отображённые в карте памяти

Пример программирования регистров ядра, отображённых
в карте памяти

Терминология

Глава 7. Иерархия внутренних шин

Внутренние интерфейсы

Внутренние тактовые сигналы

Обзор ядра

Обзор системы

Интерфейсы системы

Шина периферийного доступа (PAB)

Арбитраж PAB

Производительность PAB

Агенты PAB (ведомые и ведущие устройства)

Шина доступа DMA (DAB), шина ядра DMA (DCB),
внешняя шина DMA (DEB)

Арбитраж DMA

Производительность DAB, DCB и DEB

Агенты шины DAB (ведущие устройства)

Шина внешнего доступа (EAB)

Арбитраж EAB

Производительность EAB

Глава 8. Динамическое управление питанием

Тактирование

Схема фазовой автоподстройки и управление тактовыми сигналами

Обзор PLL

Множители PLL

Управление отношением тактовой частоты ядра к тактовой
частоте системы

Регистры PLL

Регистр деления PLL (PLL_DIV)

Регистр управления PLL (PLL_CTL)

Регистр состояния PLL (PLL_STAT)

Регистр счётчика захвата PLL (PLL_LOCKCNT)

Контроллер динамического управления потребляемой мощностью

Рабочие режимы

Состояния контроллера динамического управления потребляемой
мощностью

Режим работы с полной мощностью

Активный режим

Режим сна

Режим глубокого сна

Переходы между рабочими режимами

Программирование переходов между рабочими режимами

Последовательность программирования PLL

Продолжение последовательности программирования PLL

Примеры

Динамическое управление напряжением питания

Управление потребляемой мощностью

Содержание

- Регистр управления стабилизатором напряжения (VR_CTL)
- Изменение напряжения
- Выключение питания ядра

Глава 9. Прямой доступ к памяти

Регистры DMA и DMA типа “память-память”

- Правила обозначения регистров DMA, отображённых в карте памяти

- Правила обозначения регистров DMA типа “память-память”, отображённых в карте памяти

- Регистр указателя на следующий дескриптор

- (DMAx_NEXT_DESC_PTR/MDMA_yy_NEXT_DESC_PTR)

- Регистр начального адреса

- (DMAx_START_ADDR/MDMA_yy_START_ADDR)

- Регистр конфигурации DMA

- (DMAx_CONFIG/MDMA_yy_CONFIG)

- Регистр счётчика внутреннего цикла

- (DMAx_X_COUNT/MDMA_yy_X_COUNT)

- Регистр инкремента адреса внутреннего цикла

- (DMAx_X_MODIFY/MDMA_yy_X_MODIFY)

- Регистр счётчика внешнего цикла

- (DMAx_Y_COUNT/MDMA_yy_Y_COUNT)

- Регистр инкремента адреса внешнего цикла

- (DMAx_Y_MODIFY/MDMA_yy_Y_MODIFY)

- Регистр указателя на текущий дескриптор

- (DMAx_CURR_DESC_PTR/MDMA_yy_CURR_DESC_PTR)

- Регистр текущего адреса

- (DMAx_CURR_ADDR/MDMA_yy_CURR_ADDR)

- Регистр счётчика текущего внутреннего цикла

- (DMAx_CURR_X_COUNT/MDMA_yy_CURR_X_COUNT)

- Регистр счётчика текущего внешнего цикла

- (DMAx_CURR_Y_COUNT/MDMA_yy_CURR_Y_COUNT)

- Регистр карты периферии

- (DMAx_PERIPHERAL_MAP/MDMA_yy_PERIPHERAL_MAP)

- Регистр статуса прерываний

- (DMAx_IRQ_STATUS/MDMA_yy_IRQ_STATUS)

- Структура жёсткого дескриптора

- Выполнение операций DMA

- Начало DMA

- Обновление DMA

- Действия, необходимые для остановки передач DMA

- Двумерное DMA

- Примеры

- Дополнительные примеры двумерного DMA

- DMA типа “память-память”

- Пропускная способность MDMA

- Оптимизация производительности DMA

- Назначение приоритетов и управление трафиком

- Регистр периода счётчика управления трафиком DMA (DMA_TC_PER)

- и регистр счётчика управления трафиком DMA (DMA_TC_CNT)

- Приоритет DMA и планирование

- Срочные передачи DMA
- Программное управление DMA
 - Синхронизация программного обеспечения и DMA
 - Передачи DMA с одиночным буфером
 - Непрерывные передачи с использованием автобуферизации
 - Структуры дескрипторов
 - Управление очереди дескрипторов
 - Очередь с прерыванием по каждому дескриптору
 - Очередь с использованием минимального количества прерываний
- Ошибки (прекращение) DMA

- Глава 10. Контроллеры SPI-совместимого порта
 - Сигналы интерфейса
 - Сигнал тактовой синхронизации последовательного периферийного интерфейса (SCK)
 - Входной сигнал выбора ведомого устройства последовательного периферийного интерфейса
 - Сигнал MOSI (Master Out Slave In)
 - Сигнал MISO (Master In Slave Out)
 - Выход прерывания
 - Регистры SPI
 - Регистр скорости передачи SPI (SPI_BAUD)
 - Регистр управления SPI (SPI_CTL)
 - Регистр флага SPI (SPI_FLG)
 - Входы выбора ведомого устройства
 - Использование битов FLS регистра SPI_FLG в SPI-системах с несколькими ведомыми устройствами
 - Регистр состояния SPI (SPI_STAT)
 - Регистр буфера передаваемых данных SPI (SPI_TDBR)
 - Регистр буфера принимаемых данных SPI (SPI_RDBR)
 - Теневой регистр RDBR SPI (SPI_SHADOW)
 - Функции регистров
 - Форматы передачи SPI
 - Общие принципы работы SPI
 - Сигналы тактовой синхронизации
 - Работа в режиме ведущего устройства
 - Инициация передач ведущим устройством (режим передач)
 - Работа в режиме ведомого устройства
 - Готовность ведомого устройства к передачам
 - Сигналы ошибок и флаги
 - Ошибка сбоя режима (MODF)
 - Ошибка передачи (TXE)
 - Ошибка приёма (RBSY)
 - Ошибка конфликта при передаче (TXCOL)
 - Начало и конец передач SPI
 - DMA
 - Возможности DMA SPI-порта
 - Передачи DMA в режиме ведущего устройства
 - Передачи DMA в режиме ведомого устройства

Содержание

Временные характеристики

Глава 11. Параллельный периферийный интерфейс

Регистры PPI

Регистр управления PPI (PPI_CONTROL)

Регистр состояния PPI (PPI_STATUS)

Регистр счётчика задержки (PPI_DELAY)

Регистр счётчика передач (PPI_COUNT)

Регистр числа строк на кадр (PPI_FRAME)

Режимы ITU-R 656

Фоновый режим ITU-R 656

Режимы входа ITU-R 656

Приём полного поля

Приём активной видеoinформации

Приём информации в интервалах обратного хода кадровой развёртки (VBI)

Режим выхода ITU-R 656

Кадровая синхронизация в режимах ITU-R 656

Режимы PPI общего назначения

Режим приёма данных (RX)

Приём данных без кадровой синхронизации

Приём данных с 1-м, 2-м или 3-м внешними сигналами кадровой синхронизации

Приём данных с 2-м или 3-м внутренними сигналами кадровой синхронизации

Режимы передачи данных (TX)

Передача данных без кадровой синхронизации

Передача данных с 1-м или 2-м внешними сигналами кадровой синхронизации

Передача данных с 1-м, 2-м или 3-м внутренними сигналами кадровой синхронизации

Кадровая синхронизация в режимах общего назначения

Режимы с внутренней кадровой синхронизацией

Режимы с внешней кадровой синхронизацией

Работа в режиме DMA

Сценарии передач данных

Глава 12. Контроллеры последовательных портов

Работа последовательного порта

Запрещение последовательного порта

Настройка режимов последовательного порта

Запись в регистры и задержка записи

Регистры конфигурации передачи (SPORTx_TCR1, SPORTx_TCR2)

Регистры конфигурации приёма (SPORTx_RCR1, SPORTx_RCR2)

Форматы слов данных

Регистр передаваемых данных SPORTx (SPORTx_TX)

Регистр принимаемых данных SPORTx (SPORTx_RX)

Регистр состояния SPORTx (SPORTx_STAT)

Прерывания приёма, передачи и ошибки последовательного порта

Ошибки PAB

Содержание

- Регистры делителя частоты сигнала тактовой синхронизации приёма (SPORTx_RCLKDIV) и передачи (SPORTx_TCLKDIV)
- Регистры делителя частоты сигнала кадровой синхронизации приёма (SPORTx_RFSDIV) и передачи (SPORTx_TFSDIV)
- Частоты сигналов кадровой и тактовой синхронизации
 - Ограничения на максимальную частоту тактовой синхронизации
 - Пример настройки частот кадровой и тактовой синхронизации
- Длина слова
- Порядок битов
- Тип данных
- Компандирование
- Опции сигнала тактовой синхронизации
- Опции сигнала кадровой синхронизации
 - Сравнение передач с кадровой синхронизацией и без кадровой синхронизации
 - Сравнение передач с внутренней и внешней кадровой синхронизацией
 - Сравнение передач с кадровой синхронизацией с активным высоким и активным низким уровнем
 - Выбор фронт для опроса данных и кадровой синхронизации
 - Сравнение кадровой синхронизации с опережением и запаздыванием (с нормальными или альтернативными временными характеристиками)
 - Независящая от данных кадровая синхронизация передачи
 - Обмен данными между последовательными портами и памятью
 - Работа в режиме последовательных передач стереозвука
- Многоканальный режим
 - Регистры конфигурации многоканального режима SPORTx (SPORTx_MCMCn)
 - Разрешение многоканального режима
 - Кадровая синхронизация в многоканальном режиме
 - Многоканальный кадр
 - Задержка многоканального кадра
 - Размер окна
 - Смещение окна
 - Регистр текущего канала SPORTx (SPORTx_CHNL)
 - Другие поля опций многоканального режима в регистре SPORTx_MCMC2
 - Регистр выбора канала
 - Регистры выбора каналов приёма в многоканальном режиме SPORTx (SPORTx_MRCSn)
 - Регистры выбора каналов передачи в многоканальном режиме SPORTx (SPORTx_MTCSn)
 - Упаковка данных при DMA в многоканальном режиме
- Поддержка стандартных протоколов
 - H.100
 - Управление восстановлением удвоенного тактового сигнала
- Нагрузка линий/выводов последовательного порта
- Примеры временных характеристик

Содержание

Глава 13. Контроллер порта UART

Последовательная связь

Регистры состояния и управления UART

Регистр управления линиями UART (UART_LCR)

Регистр управления модемом (UART_MCR)

Регистр состояния линий UART (UART_LCR)

Регистр передачи UART (UART_THR)

Регистр буфера приёма UART (UART_RBR)

Регистр разрешения прерывания UART (UART_IER)

Регистр идентификации прерывания UART (UART_IIR)

Регистры фиксации делителя UART (UART_DLL, UART_DLH)

Регистр контекста UART (UART_SCR)

Регистр глобального управления UART (UART_GCTL)

Режим без DMA

Режим с DMA

Смешивание режимов

Поддержка IrDA

Описание передатчика IrDA

Описание приёмника IrDA

Глава 14. Программируемые флаги

Регистры программируемых флагов (отображённые в карте памяти)

Регистры направления флагов (FIO_DIR)

Обзор регистров значений флагов

Регистр данных флагов (FIO_FLAG_D)

Регистр установки флагов (FIO_FLAG_S), регистр сброса флагов (FIO_FLAG_C)

и регистр изменения значения флагов (FIO_FLAG_T)

Регистры маскирования прерываний флагов (FIO_MASKA_D, FIO_MASKA_C, FIO_MASKA_S, FIO_MASKA_T, FIO_MASKB_D, FIO_MASKB_C, FIO_MASKB_S, FIO_MASKB_T)

Процесс генерации прерываний флагов

Регистры маскирования прерываний флагов A (FIO_MASKA_D, FIO_MASKA_C, FIO_MASKA_S, FIO_MASKA_T)

Регистры маскирования прерываний флагов B (FIO_MASKB_D, FIO_MASKB_C, FIO_MASKB_S, FIO_MASKB_T)

Регистр полярности флагов (FIO_POLAR)

Регистр чувствительности прерываний флагов (FIO_EDGE)

Регистр установки флагов по обоим фронтам (FIO_BOTH)

Регистр разрешения входного флага (FIO_INEN)

Производительность/пропускная способность

Глава 15. Таймеры

Таймеры общего назначения

Регистры таймеров

Регистр разрешения таймеров (TIMER_ENABLE)

Регистр запрещения таймеров (TIMER_DISABLE)

Регистр состояния таймера (TIMER_STATUS)

Регистры конфигурации таймеров (TIMERx_CONFIG)

Регистры счётчиков таймеров (TIMERx_COUNTER)

- Регистры периода таймеров (TIMERx_PERIOD) и регистры длительности импульса таймеров (TIMERx_WIDTH)

- Использование таймера

- Режим широтно-импульсной модуляции (PWM_MODE)

- Запрещение выходного сигнала

- Генерация одиночного импульса

- Генерация колебания с широтно-импульсной модуляцией

- Остановка таймера в режиме PWM_OUT

- Внешнее тактирование в режиме PWM_OUT

- Режим инвертирования PULSE_HI

- Режим определения длительности импульса (WDTH_CAP)

- Режим автоматического определения скорости передачи

- Режим внешнего события (EXT_CLK)

- Использование таймеров совместно с PPI

- Прерывания

- Запрещённые состояния

- Обзор

- Таймер ядра

- Регистр управления таймером ядра (TCNTL)

- Регистр счётчика таймера ядра (TCOUNT)

- Регистр периода таймера ядра (TPERIOD)

- Регистр масштабирования таймера ядра (TSCALE)

- Сторожевой таймер

- Работа сторожевого таймера

- Регистр счётчика сторожевого таймера (WDOG_CNT)

- Регистр состояния сторожевого таймера (WDOG_STAT)

- Регистр управления сторожевым таймером (WDOG_CTL)

Глава 16. Часы реального времени

- Интерфейсы

- Требования к часам реального времени

- Модель программирования часов реального времени

- Запись в регистры

- Задержка записи

- Чтение регистров

- Глубокий сон

- Разрешение предделителя

- Флаги событий

- Прерывания

- Регистр состояния часов реального времени (RTC_STAT)

- Регистр управления прерываниями часов реального времени (RTC_ICTL)

- Регистр статуса прерываний часов реального времени (RTC_ISTAT)

- Регистр счётчика секундомера часов реального времени (RTC_SWCNT)

- Регистр будильника часов реального времени (RTC_ALARM)

- Регистр разрешения предделителя часов реального времени (RTC_PREN)

- Обзор переходов между состояниями

Глава 17. Устройство интерфейса внешней шины

- Обзор

- Блок-схема

Содержание

- Интерфейсы внутренней памяти
- Интерфейсы внешней памяти
- Модель программирования EBIU
- Обнаружение ошибок
- Интерфейс асинхронной памяти
 - Декодирование адресов асинхронной памяти
 - Регистр глобального управления асинхронной памятью (EBIU_AMGCTL)
 - Регистры управления банками асинхронной памяти (EBIU_AMBCTL0, EBIU_AMBCTL1)
 - Устранение конкуренции за доступ к шине
 - Управление входом ARDY
 - Программируемые временные характеристики
 - Асинхронные доступы команд ядра
 - Асинхронные доступы чтения
 - Асинхронные доступы записи
 - Добавление дополнительных циклов ожидания
 - Разрешение побайтной записи
- Контроллер SDRAM (SDC)
 - Введение
 - Термины
 - Команда активации банка
 - Длина пакета
 - Команда остановки записи/чтения пакета
 - Тип пакета
 - Задержка CAS (CL)
 - Цикл регенерации или авторегенерации CBR (CAS до RAS)
 - Функция маскирования ввода/вывода данных DQM
 - Внутренний банк
 - Регистр режима
 - Размер страницы
 - Команда предзаряда
 - Банк SDRAM
 - Саморегенерация
 - tRAS
 - tRP
 - tRCD
 - tWR
 - tRC
 - tRFC
 - tXSR
 - Поддерживаемые конфигурации SDRAM
 - Примеры блок-схем систем SDRAM
 - Регистр глобального управления памятью SDRAM (EBIU_SDGCTL)
 - Настройка сигнала разрешения тактирования SDRAM (SCTLE)
 - Вход в режим саморегенерации (SRFS) и выход из него
 - Настройка буферизации SDRAM (EBUFE)
 - Выбор значения задержки CAS (CL)
 - Работа SDQM
 - Выполнение команды параллельной регенерации

- Выбор задержки команды активации банка (TRAS)
- Выбор задержки предзаряда (TPR)
- Выбор задержки от предзаряда до записи (TWR)
- Регистр управления банком памяти SDRAM (EBIU_SDBCTL)
- Регистр состояния управления SDRAM (EBIU_SDSTAT)
- Регистр управления частотой регенерации SDRAM (EBIU_SDRRC)
- Размер внешней памяти SDRAM
- Отображение в памяти адресов SDRAM
 - Мультиплексирование адресов 16-разрядной SDRAM
- Назначение битов маскирования данных (SDQM[1:0])
- Работа SDC
- Конфигурация SDC
- Команды SDC
 - Команда предзаряда
 - Команда активации банка
 - Команда загрузки регистра режима
 - Команда записи/чтения
 - Команда авторегенерации
 - Команда саморегенерации
 - Команды No Operation/Command Inhibit
- Временные характеристики SDRAM
- Производительность SDRAM
- Запрос и получение доступа к шине
 - Выполнение процедур запроса и получения доступа к шине

Глава 18. Проектирование системы

- Описание выводов
 - Рекомендации по использованию незадействованных выводов
- Сброс процессора
- Загрузка процессора
- Управление тактовыми сигналами
 - Управление тактовыми сигналами ядра и системы
- Конфигурирование и обслуживание прерываний
- Семафоры
 - Пример программы запроса семафора
- Задержки и пропускная способность передачи данных
- Приоритеты шины
- Аспекты интерфейса с внешней памятью
 - Примеры интерфейсов с внешней асинхронной памятью
 - Управление регенерацией SDRAM в течение переходных процессов в PLL
 - Устранение конкуренции за доступ к шине
- Аспекты разработки высокочастотных схем
 - Соединения последовательных портов по принципу “точка-точка”
 - Целостность сигналов
 - Развязывающие конденсаторы и земляные слои
 - Щупы осциллографов
 - Рекомендуемая литература

Содержание

Глава 19. Отладка процессора Blackfin

Устройство управления точками останова

Точки останова по командам

Регистры адресов точек останова по командам (WPIAn)

Регистры счётчиков адресов точек останова по командам (WPIACNTn)

Регистр управления адресами точек останова по командам (WPIACTL)

Точки останова по адресам данных

Регистры адресов точек останова по данным (WPDAn)

Регистры счётчиков адресов точек останова по данным (WPDACNTn)

Регистры управления адресами точек останова по данным (WPDACTL)

Регистр состояния точек останова (WPSTAT)

Устройство трассировки

Регистр управления буфером трассировки (TBUFCTL)

Регистр состояния буфера трассировки (TBUFSTAT)

Регистр буфера трассировки (TBUF)

Программа воссоздания трассировки в памяти

Устройство мониторинга выполнения

Регистры счётчика монитора выполнения (PFCNTRn)

Регистр управления монитором выполнения (PFCTL)

Таблица векторов событий

Счётчик тактов

Регистры счётчиков тактов выполнения (CYCLES и CYCLES2)

Регистр идентификации продукта

Регистр ID ЦСП (DSPID)

Приложение А. Распределение регистров ядра процессора Blackfin, отображённых в памяти

Регистры контроллера памяти данных L1

Регистры контроллера памяти команд L1

Регистры контроллера прерываний

Регистры таймера ядра

Регистры отладки, MP и устройства эмуляции

Регистры устройства трассировки

Регистры точек останова и корректировок

Регистры монитора выполнения

Приложение В. Распределение регистров системы, отображённых в памяти

Регистры динамического управления потребляемой мощностью

Регистры сброса системы и управления прерываниями

Регистры сторожевого таймера

Регистры часов реального времени

Регистры параллельного периферийного интерфейса (PPI)

Регистры контроллера UART

Регистры контроллера SPI

- Регистры таймеров
- Регистры программируемых флагов
- Регистры контроллера SPORT0
- Регистры контроллера SPORT1
- Регистры управления DMA
- Регистры контроллера DMA типа “память-память”
- Регистры устройства интерфейса внешней шины

Приложение С. Возможности тестирования

- Стандарт JTAG

- Архитектура периферийного сканирования

- Регистр команд

- Открытые команды

- EXTEST – двоичный код 00000

- SAMPLE/PRELOAD – двоичный код 10000

- BYPASS – двоичный код 11111

- Регистр периферийного сканирования

Приложение D. Форматы представления чисел

- Знаковый и беззнаковый: дополнительный код

- Целый и дробный

- Двоичное умножение

- Режим умножения дробных чисел и режим умножения целых чисел

- Формат чисел с блочной плавающей точкой

Глоссарий

Указатель