

8 ДИНАМИЧЕСКОЕ УПРАВЛЕНИЕ ПИТАНИЕМ

В этой главе описываются функциональные возможности динамического управления питанием процессора. Описание включает следующие аспекты:

- тактирование;
- схема фазовой автоподстройки частоты (PLL, Phased Locked Loop);
- контроллер динамического управления питанием;
- рабочие режимы;
- управление напряжением.

Тактирование

Частота, скважность и стабильность, необходимые для точного внутреннего умножения средствами модуля фазовой автоподстройки частоты (PLL), обеспечиваются входным тактовым сигналом процессора, CLKIN. В обычном режиме работы пользователь программно устанавливает коэффициент умножения CLKIN схемой PLL. Результатом умножения является тактовый сигнал генератора, управляемого напряжением (Voltage Controlled Oscillator, VCO). Тактовый сигнал ядра (CCLK) формируется делением тактового сигнала VCO на величину, программно задаваемую пользователем.

Тактовый сигнал системы (SCLK) также формируется делением тактового сигнала VCO на величину, программно задаваемую пользователем. Сигнал SCLK используется для тактирования шины периферийного доступа (PAB), шины DMA (DAB), внешней шины адреса (EAB) и устройства интерфейса внешней шины (EBIU).



Эти шины работают с частотой, получаемой делением частоты PLL на $1\div 15$ (домен SCLK). Значение делителя, задаваемое параметром SSEL регистра деления PLL, следует выбирать таким образом, чтобы частота работы перечисленных шин не превышала максимального значения, указанного в *ADSP-BF531/ADSP-BF532/ADSP-BF533 Embedded Processor Data Sheet*.

В процессоре реализована возможность грубой динамической подстройки тактовых частот ядра и системы в целях оптимизации производительности и рассеиваемой мощности. Также возможна точная подстройка, достигаемая изменением тактовой частоты PLL.

Динамическое управление питанием

Схема фазовой автоподстройки частоты и управление тактовыми сигналами

Для формирования тактовых сигналов ядра и системы процессор использует аналоговую схему PLL, управляемую программируемым конечным автоматом.

Схема PLL применяется во многих приложениях. В первую очередь – во встраиваемых и портативных устройствах, а также в процессорах общего назначения с низкой стоимостью, в которых ключевыми характеристиками являются производительность, гибкость и управление рассеиваемой мощностью. Для возможности применения процессора в большом числе различных приложений требуется генерация тактовых сигналов в широком диапазоне частот. Входной тактовый сигнал может поступать от кварцевого генератора или формироваться из сигнала внешнего системного тактового генератора при помощи буфера, задающего форму импульса.

Схема PLL взаимодействует с блоком контроллера динамического управления питанием (DPMS, Dynamic Power Management Controller), обеспечивая функции управления питанием процессора. Дополнительную информацию о DPMS см. в разделе “Контроллер динамического управления питанием”.

Обзор PLL

При максимальной частоте VCO схемой PLL поддерживается широкий диапазон коэффициентов умножения входного тактового сигнала, CLKIN, достигаемый использованием комбинации программируемых делителей в цепи обратной связи PLL и выходных конфигурационных блоках.

На рис. 8-1 показана абстрактная модель схемы PLL, входы конфигурации и выходные сигналы. На рисунке блок VCO обозначает промежуточный тактовый сигнал, используемый для формирования тактовых сигналов ядра (CCLK) и системы (SCLK).

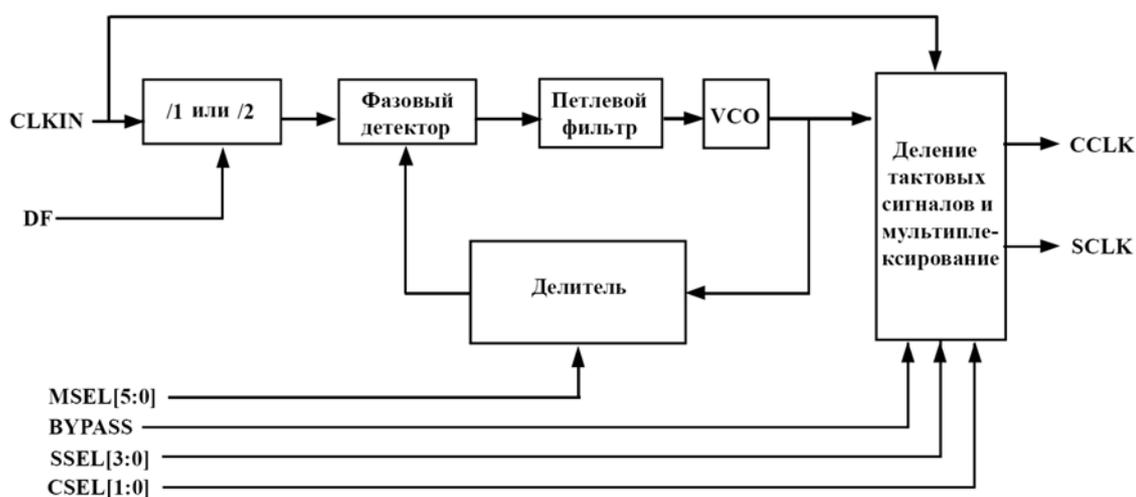


Рис. 8-1. Блок-схема PLL

Динамическое управление питанием

Множители тактового сигнала PLL

Работа схемы PLL управляется регистром управления PLL (PLL_CTL). Подробное описание регистра PLL_CTL см. в разделе “Регистр управления PLL (PLL_CTL)”.

Бит деления частоты (DF) и поле выбора множителя (MSEL[5:0]) используются для настройки делителей тактового сигнала в схеме PLL:

- DF разрешает использование входного делителя;
- MSEL[5:0] управляет делителями в цепи обратной связи.
Значение MSEL[5:0] после сброса – 0xA. Оно может быть изменено программно в загрузочном коде при начале работы.

В таблице 8-1 показаны значения коэффициентов умножения CLKIN при формировании VCO, получаемые при использовании различных комбинаций MSEL и DF.

Как показано в таблице, одно и то же значение частоты VCO может достигаться различными комбинациями MSEL[5:0] и DF. В конкретном приложении при выборе определённой комбинации обеспечивается низкое потребление мощности или достигается максимальное значение частоты VCO. При нормальных условиях установка бита DF в значение 1 обычно приводит к меньшему рассеиванию мощности. Максимальные и минимальные значения частот сигналов CLKIN, CCLK и VCO см. в *ADSP-BF531/ADSP-BF532/ADSP-BF533 Embedded Processor Data Sheet*.

Таблица 8-1. Значение полей MSEL

Значение MSEL[5:0]	Частота VCO	
	DF = 0	DF = 1
0	64x	32x
1	1x	0.5x
2	2x	1x
N = 3 – 62	Nx	0.5Nx
63	63x	31.5x

Управление отношением тактовой частоты ядра к тактовой частоте системы

В таблице 8-2 показано программно задаваемое соотношение между частотой VCO и тактовым сигналом ядра. В таблице 8-3 показано соотношение между частотой VCO и тактовым сигналом системы. Следует отметить, что коэффициент деления должен выбираться таким образом, чтобы частота сигнала SCLK не превышала значение, указанное в *ADSP-BF531/ADSP-BF532/ADSP-BF533 Embedded Processor Data Sheet*. Вся синхронная логика системного уровня работает от сигнала SCLK.

Биты управления коэффициентом деления, CSEL и SSEL, содержатся в регистре коэффициентов деления PLL (PLL_DIV). Информацию об этом регистре см. в

Динамическое управление питанием

разделе “Регистр коэффициентов деления PLL (PLL_DIV)”. Адреса регистров приведены в приложении В.

Значение CSEL[1:0] после сброса – 0x0 (/1), значение SSEL[3:0] после сброса – 0x5. Эти значения могут быть изменены программно в загрузочном коде при начале работы.

Вы можете динамически изменять значения CSEL и SSEL при помощи записи соответствующей величины в регистр PLL_DIV. Следует отметить, что коэффициент деления тактового сигнала ядра не может превышать коэффициента деления тактового сигнала системы. Если в регистре PLL_DIV задано некорректное значение, величина делителя SCLK автоматически увеличивается до значения, большего либо равного величине делителя тактового сигнала ядра.

Значения делителей CCLK и SCLK могут изменяться при помощи программирования регистра PLL_DIV в любой момент времени; для этого не требуется выполнять вход в состояние ожидания.

Таблица 8-2. Отношение частоты VCO к тактовой частоте ядра

Значение CSEL[1:0]	Коэффициент деления VCO/CCLK	Значения частот (МГц)	
		VCO	CCLK
00	1	300	300
01	2	600	300
10	4	600	150
11	8	400	50

Пока биты управления MSEL и DF в регистре управления PLL (PLL_CTL) сохраняют постоянное значение, схема PLL находится в состоянии удержания (locked).

Таблица 8-3. Отношение частоты VCO к тактовой частоте системы

Значение SSEL[3:0]	Коэффициент деления VCO/SCLK	Значения частот (МГц)	
		VCO	SCLK
0000	Зарезервировано	N/A	N/A
0001	1:1	100	100
0010	2:1	200	100
0011	3:1	400	133
0100	4:1	500	125
0101	5:1	600	120
0110	6:1	600	100
N = 7 - 15	N:1	600	600/N



При изменении отношения частот тактовых сигналов путём записи нового значения SSEL в регистр PLL_DIV следует позаботиться о том, чтобы не произошла потеря данных в разрешённых периферийных устройствах, вызванная изменением частоты SCLK.

Динамическое управление питанием

Регистры PLL

Интерфейс пользователя с PLL осуществляется через четыре регистра, отображённых в карте памяти:

- регистр коэффициентов деления PLL (PLL_DIV);
- регистр управления PLL (PLL_CTL);
- регистр состояния PLL (PLL_STAT);
- регистр счётчика захвата PLL (PLL_LOCKCNT).

Все четыре регистра являются 16-разрядными, обращение к ним должно осуществляться при помощи выровненных 16-разрядных операций чтения/записи.

Регистр коэффициентов деления PLL

Регистр коэффициентов деления PLL (PLL_DIV) определяет коэффициенты деления выходного тактового сигнала PLL при формировании тактовых сигналов ядра (CCLK) и системы (SCLK) процессора. Каждое из этих значений может независимо изменяться в процессе работы процессора для снижения рассеиваемой мощности без изменения состояния PLL. Единственными ограничениями являются: значение частоты SCLK не должно превышать результирующее значение частоты CCLK, и должно соответствовать допустимому диапазону, определяемому в *ADSP-BF531/ADSP-BF532/ADSP-BF533 Embedded Processor Data Sheet*. Если запрограммированные значения коэффициентов деления SCLK и CCLK не соответствуют ограничениям, значение частоты SCLK автоматически подстраивается таким образом, чтобы оно не превышало значение частоты тактового сигнала ядра. Регистр PLL_DIV показан на рис. 8-2.

Регистр коэффициентов деления PLL (PLL_DIV)

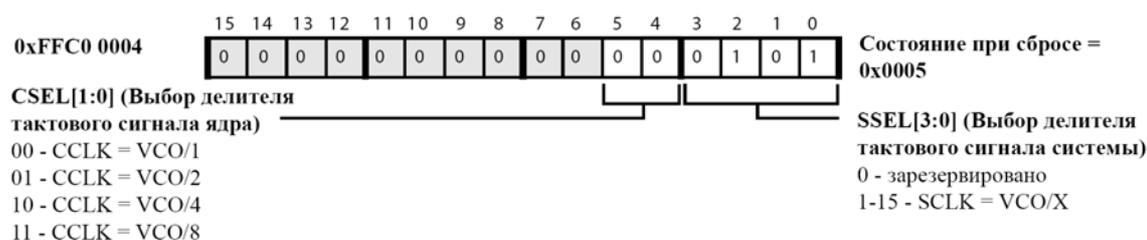


Рис. 8-2. Регистр коэффициентов деления PLL

Регистр управления PLL (PLL_CTL)

Регистр управления PLL (PLL_CTL) управляет работой схемы PLL (см. рис. 8-3). Следует отметить, что изменения значения регистра PLL_CTL вступают в силу не мгновенно. В общем случае, сначала в регистр PLL записывается новое значение, а затем, для изменения параметров, должна быть выполнена определённая последовательность программирования PLL. См. раздел “Последовательность программирования PLL”.

Динамическое управление питанием

Регистр управления PLL (PLL_CTL)

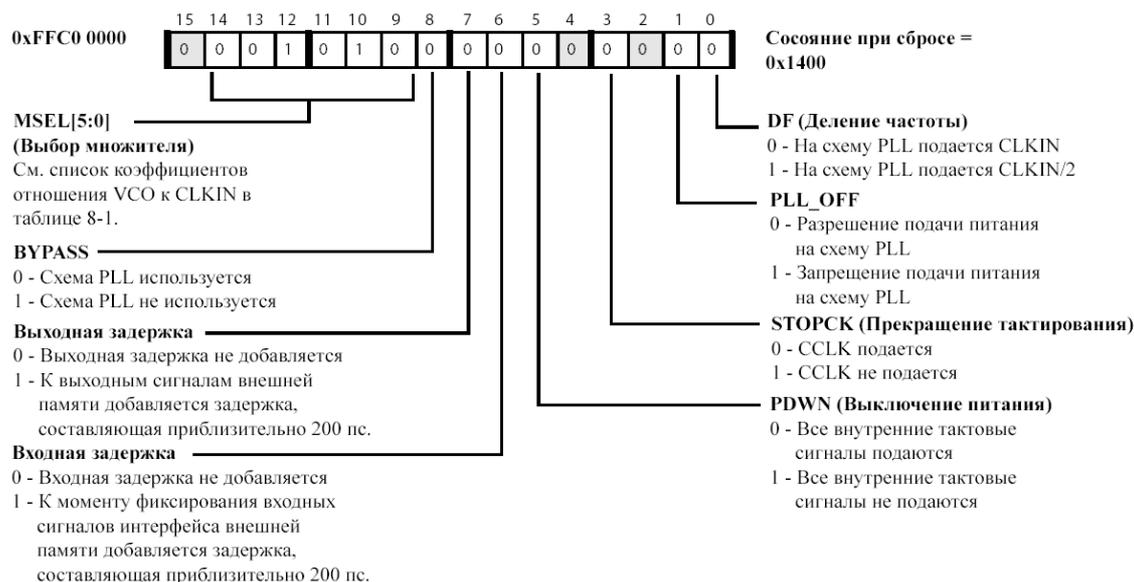


Рис. 8-3. Регистр управления PLL

Для управления PLL используются следующие поля регистра PLL_CTL:

- MSEL[5:0] – Поле выбора множителя (Multiplier Select, MSEL) определяет отношение тактовой частоты входного сигнала (CLKIN) к тактовой частоте сигнала VCO.
- BYPASS – Данный бит используется для обхода схемы PLL. Когда бит BYPASS установлен, сигнал CLKIN напрямую подаётся в ядро и систему.
- Выходная задержка – Данный бит используется для добавления задержки к выходным сигналам внешней памяти, составляющей примерно 200 пс. Для определения необходимости установки этого бита следует обратиться к *ADSP-BF531/ADSP-BF532/ADSP-BF533 Embedded Processor Data Sheet*.
- Входная задержка – Данный бит используется для добавления задержки ко времени фиксирования входных сигналов интерфейсом внешней памяти, составляющей примерно 200 пс. Для определения необходимости установки этого бита следует обратиться к *ADSP-BF531/ADSP-BF532/ADSP-BF533 Embedded Processor Data Sheet*.
- PDWN – Бит выключения питания (Power Down, PWDN) используется для перевода процессора в режим глубокого сна. Дополнительную информацию о рабочих режимах см. в разделе “Рабочие режимы”.
- STOPCK – Бит остановки тактирования (STOPCK) используется для разрешения/запрещения подачи тактового сигнала ядра, CCLK.
- PLL_OFF – Данный бит используется для разрешения/запрещения подачи питания на схему PLL.
- DF – Бит деления частоты (Divide Frequency, DF). В зависимости от значения этого бита на схему PLL подаётся сигнал CLKIN или CLKIN/2.

Динамическое управление питанием

Регистр состояния PLL

В регистре состояния PLL (PLL_STAT) отображается информация о рабочем режиме схемы PLL и процессора (см. рис. 8-4). Дополнительную информацию о рабочих режимах см. в разделе “Рабочие режимы”.

Регистр состояния PLL (PLL_STAT)

Только для чтения. Если не указано иное, 1 - процессор работает в данном режиме. Дополнительную информацию см. в разделе "Рабочие режимы".

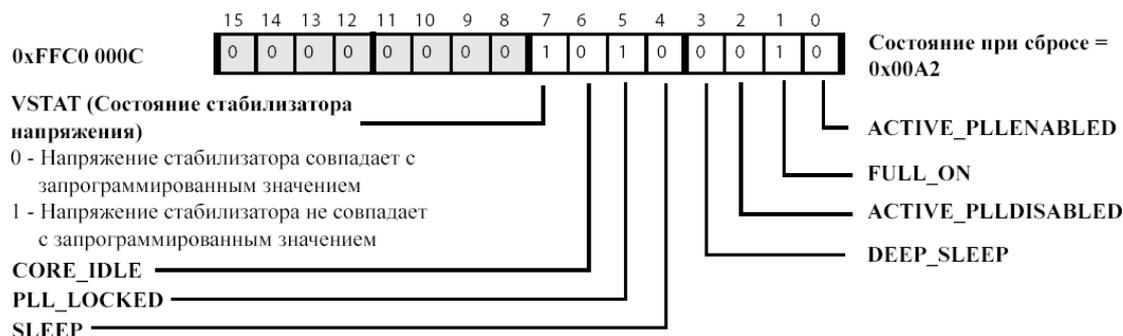


Рис. 8-4. Регистр состояния PLL

В регистре состояния PLL используются следующие поля:

- VSTAT (Состояние стабилизатора напряжения) – Данный бит указывает, достигло ли напряжение стабилизатора запрограммированного значения. При изменении уровней напряжения, ядро должно быть переведено в состояние ожидания для того, чтобы схема PLL выполнила захват нового уровня напряжения. См. раздел “Последовательность программирования PLL”.
- CORE_IDLE – Данный бит устанавливается в 1, когда ядро процессора Blackfin переводится в состоянии ожидания; то есть, когда была выполнена команда IDLE, и ядро ожидает подачи сигнала вывода из ожидания.
- PLL_LOCKED – Данный бит устанавливается в 1, когда внутренний счётчик захвата PLL достигает значения, установленного в регистре счётчика захвата PLL (PLL_LOCKCNT). Дополнительную информацию см. в разделе “Регистр счётчика захвата PLL (PLL_LOCKCNT)”.
- SLEEP – Данное поле устанавливается в 1, когда процессор находится в режиме сна.
- DEEP_SLEEP – Данное поле устанавливается в 1, когда процессор находится в режиме глубокого сна.
- ACTIVE_PPLENABLED – Данное поле устанавливается в 1, когда процессор находится в активном режиме, и питание на схему PLL не подаётся.
- FULL_ON – Данное поле устанавливается в 1, когда процессор находится в режиме работы с полной мощностью.
- ACTIVE_PLLDISABLED – Данное поле устанавливается в 1, когда процессор находится в активном режиме, и питание на схему PLL подаётся.

Динамическое управление питанием

Регистр счётчика захвата PLL (PLL_LOCKCNT)

При изменении тактовых частот в PLL, схеме PLL требуется время для стабилизации и захвата нового значения частоты.

Регистр счётчика захвата PLL (PLL_LOCKCNT) определяет количество тактов SCLK, необходимых для установки процессором бита PLL_LOCKED в регистре PLL_STAT. При выполнении последовательности программирования PLL по команде IDLE начинается инкрементирование внутреннего счётчика захвата PLL. На каждом такте SCLK его значение инкрементируется на единицу. При достижении счётчиком значения, определённого в регистре PLL_LOCKCNT, устанавливается бит PLL_LOCKED.

Дополнительную информацию о времени стабилизации PLL и значениях, записываемых в данный регистр, см. в *ADSP-BF531/ADSP-BF532/ADSP-BF533 Embedded Processor Data Sheet*. Дополнительную информацию о рабочих режимах см. в разделе “Рабочие режимы”. Дополнительную информацию о последовательности программирования PLL см. в разделе “Последовательность программирования PLL”.

Регистр счётчика захвата PLL (PLL_LOCKCNT)

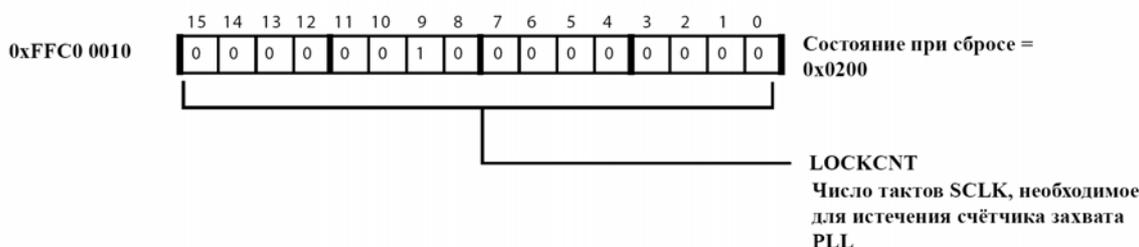


Рис. 8-5. Регистр счётчика захвата PLL

Контроллер динамического управления питанием

Контроллер динамического управления питанием (DMPC), работающий совместно с PLL, позволяет пользователю динамически управлять характеристиками производительности процессора и рассеиваемой мощностью. Это достигается за счет следующих свойств DMPC:

- Несколько рабочих режимов – Процессор может работать в четырёх рабочих режимах, каждому из которых соответствует определённый профиль характеристик производительности и рассеиваемой мощности. См. раздел “Рабочие режимы”.
- Управление тактовыми сигналами периферийных устройств – Возможно автоматическое запрещение подачи тактовых сигналов на каждое отдельное периферийное устройство при запрещении его работы.
- Управление напряжением – Процессор имеет внутренний контроллер импульсного стабилизатора, который, при использовании небольшого числа

Динамическое управление питанием

внешних компонентов, может формировать уровни напряжения из внешнего напряжения питания Vdd (V_{DDEXT}).

В зависимости от требований системы, возможно понижение уровней напряжения для уменьшения потребляемой мощности. См. раздел “Регистр управления стабилизатором напряжения (VR_CTL)”.

Рабочие режимы

Процессор может работать в четырёх рабочих режимах, каждый из которых имеет свои преимущества в плане производительности и снижения потребления мощности. В таблице 8-4 приведён обзор рабочих характеристик каждого режима.

Таблица 8-4. Рабочие характеристики

Рабочий режим	Снижение потребления мощности	PLL		Формирование CCLK	Формирование SCLK	Возможный объект DMA
		состояние	подача тактового сигнала в обход PLL			
Режим работы с полной мощностью	Нет	Разрешена	Нет	Разрешено	Разрешено	L1
Активный режим	Среднее	Разрешена ¹	Да	Разрешено	Разрешено	L1
Режим сна	Высокое	Разрешена	Нет	Запрещено	Разрешено	-
Режим глубокого сна	Максимальное	Запрещена	-	Запрещено	Запрещено	-

¹ В этом режиме также возможно запрещение PLL.

Состояния контроллера динамического управления питанием

Состояния управления питанием совпадают с состояниями управления PLL. Состояние DPMC/PLL может быть определено при помощи чтения регистра состояния PLL (см. раздел “Регистр состояния PLL (PLL_STAT)”). Во всех режимах, за исключением режимов сна и глубокого сна, ядро может либо выполнять команды, либо находится в состоянии ожидания. Если ядро находится в состоянии ожидания, оно может быть выведено из него.

Во всех режимах, за исключением активного, частота SCLK определяется коэффициентом отношения VCO к SCLK, задаваемым полем SSEL. В режиме глубокого сна продолжает генерироваться сигнал SCLK с частотой, определяемой SSEL, несмотря на то, что генерация тактового сигнала ядра запрещена.

В следующих разделах приводится более подробное описание состояний DPMC/PLL.

Динамическое управление питанием

Режим работы с полной мощностью

В режиме работы с полной мощностью достигается максимальная производительность. В данном режиме разрешена и используется схема PLL. Режим работы с полной мощностью является нормальным состоянием выполнения программы, при котором процессор и все разрешённые периферийные устройства работают с полной скоростью. В данном режиме возможен доступ к блокам памяти L1 в режиме DMA. Процессор может напрямую переходить из режима работы с полной мощностью в активный режим, режим сна или режим глубокого сна, как показано на рис. 8-6, “Переходы между рабочими режимами”.

Активный режим

В активном режиме работа схемы PLL разрешена, но тактовый сигнал подаётся в обход неё. Вследствие этого, частота тактового сигнала ядра (CCLK) и тактового сигнала системы (SCLK) процессора равны частоте входного тактового сигнала (CLKIN). В данном режиме возможно осуществление доступов в режиме DMA к сконфигурированным соответствующим образом блокам памяти L1.

В активном режиме возможна не только подача тактового сигнала в обход схемы PLL, но также и запрещение её работы. Если работа PLL запрещена, то перед переходом в режим работы с полной мощностью или режим сна её необходимо разрешить.

Процессор может напрямую переходить из активного режима в режим работы с полной мощностью, режим сна или режим глубокого сна.

Режим сна

В режим сна значительно уменьшается рассеиваемая мощность за счёт перевода ядра процессора в состояние ожидания. В данном режиме запрещена подача сигнала CCLK; однако, продолжается формирование сигнала SCLK с частотой, определяемой настройками битов MSEL и SSEL. Так как подача сигнала CCLK запрещена, в режиме сна DMA возможен только к внешней памяти. Событие вывода из ожидания вызывает переход процессора из режима сна в один из следующих режимов:

- в активный режим, если установлен бит BYPASS в регистре PLL_CTL;
- в режим работы с полной мощностью, если бит BYPASS сброшен.

Режим глубокого сна

В режиме глубокого сна потребление мощности максимально снижается за счёт запрещения работы PLL и запрещения подачи CCLK и SCLK. В данном режиме запрещена работа ядра процессора и всех периферийных устройств, за

Динамическое управление питанием

исключением часов реального времени (RTC). В данном режиме DMA не поддерживается.

Выход из режима глубокого сна возможен только по прерыванию RTC или при аппаратном сбросе. Прерывание RTC вызывает переход процессора в активный режим; при событии аппаратного сброса начинается выполнение процедуры аппаратного сброса. Дополнительную информацию об аппаратном сбросе см. в разделе “Аппаратный сброс” в главе 3.

Следует отметить, что по прерыванию RTC в режиме глубокого сна автоматически сбрасываются некоторые поля регистра управления PLL (PLL_CTL). См. таблицу 8-5.

- ❗ Когда процессор находится в режиме глубокого сна, тактовый сигнал на SDRAM не подаётся. В программе необходимо обеспечить сохранение важной информации, содержащейся в SDRAM, в энергонезависимую память перед входом в режим глубокого сна.

Таблица 8-5. Значения полей регистра управления после вывода из ожидания по прерыванию RTC.

Поле	Значение
PLL_OFF	0
STOPCK	0
PDWN	0
BYPASS	1

Переходы между рабочими режимами

На рис. 8-6 показаны рабочие режимы процессора и переходы между ними. Эллипсами на диаграмме показаны рабочие режимы. Стрелками, соединяющими эллипсы, показаны допустимые переходы между режимами.

Текст, сопровождающий каждую стрелку, обозначает поля в регистре управления PLL (PLL_CTL), которые необходимо изменить для выполнения перехода. Например, для перехода из режима работы с полной мощностью в режим сна необходимо установить бит STOPCK в 1 и бит PWDN в 0. Информацию об осуществлении переходов между режимами см. в разделе “Программирование переходов между рабочими режимами”.

В дополнение к переходам между режимами, показанным на рис. 8-6, в активном рабочем режиме возможна модификация PLL: можно запрещать или разрешать подачу питания на PLL и программно задавать новые значения отношения частоты тактового сигнала VCO к частоте входного тактового сигнала (CLKIN). Как описано ниже, изменения конфигурации PLL вступают в силу не мгновенно. Как и при выполнении переходов между рабочими режимами, для того чтобы эти изменения вступили в силу, необходимо выполнить последовательность программирования PLL (см. раздел “Последовательность программирования PLL”).

Динамическое управление питанием

- **Запрещение работы PLL:** В дополнение к подаче тактового сигнала в обход PLL в активном режиме возможно также отключение питания схемы PLL.

При отключении питания схемы PLL достигается дополнительное, относительно небольшое, снижение потребляемой мощности. Для того, чтобы отключить питание схемы PLL, необходимо установить бит `PLL_OFF` в регистре `PLL_CTL` и выполнить последовательность программирования PLL.

- **Разрешение работы PLL:** Если после отключения питания PLL возникает необходимость дополнительного увеличения производительности, подача питания на схему PLL может быть возобновлена.

Возобновление подачи питания на схему PLL должно выполняться перед переходом в режим работы с полной мощностью или режим сна. Для того чтобы подать питание на схему PLL, необходимо сбросить бит `PLL_OFF` в регистре `PLL_CTL` и выполнить последовательность программирования PLL.

- **Установка нового множителя тактового сигнала в активном режиме:** При работе в активном режиме может быть программно задан новый коэффициент отношения частоты тактового сигнала VCO к частоте входного тактового сигнала (`CLKIN`).

Несмотря на то, что при изменении отношения VCO к `CLKIN` в активном режиме частоты сигналов `CCLK` и `SCLK` не изменяются, за счёт принудительного захвата схемой PLL нового отношения частот снижается время, затрачиваемое на переход из активного режима в режим работы с полной мощностью. Следует отметить, что для захвата нового значения отношения частот необходимо, чтобы на схему PLL подавалось питание. Для задания нового отношения VCO к `CLKIN` следует записать новые значения `MSEL[5:0]` и `DF` в регистр `PLL_CTL` и выполнить последовательность программирования PLL.

- **Установка нового множителя тактового сигнала в режиме работы с полной мощностью:** В режиме работы с полной мощностью также возможно изменение коэффициента отношения тактовых сигналов.

В данном случае, на время захвата схема PLL автоматически переходит в активный режим. После захвата нового отношения частот PLL возвращается в режим работы с полной мощностью. Для задания нового отношения VCO к `CLKIN` следует записать новые значения `MSEL[5:0]` и `DF` в регистр `PLL_CTL` и выполнить последовательность программирования PLL.

Динамическое управление питанием

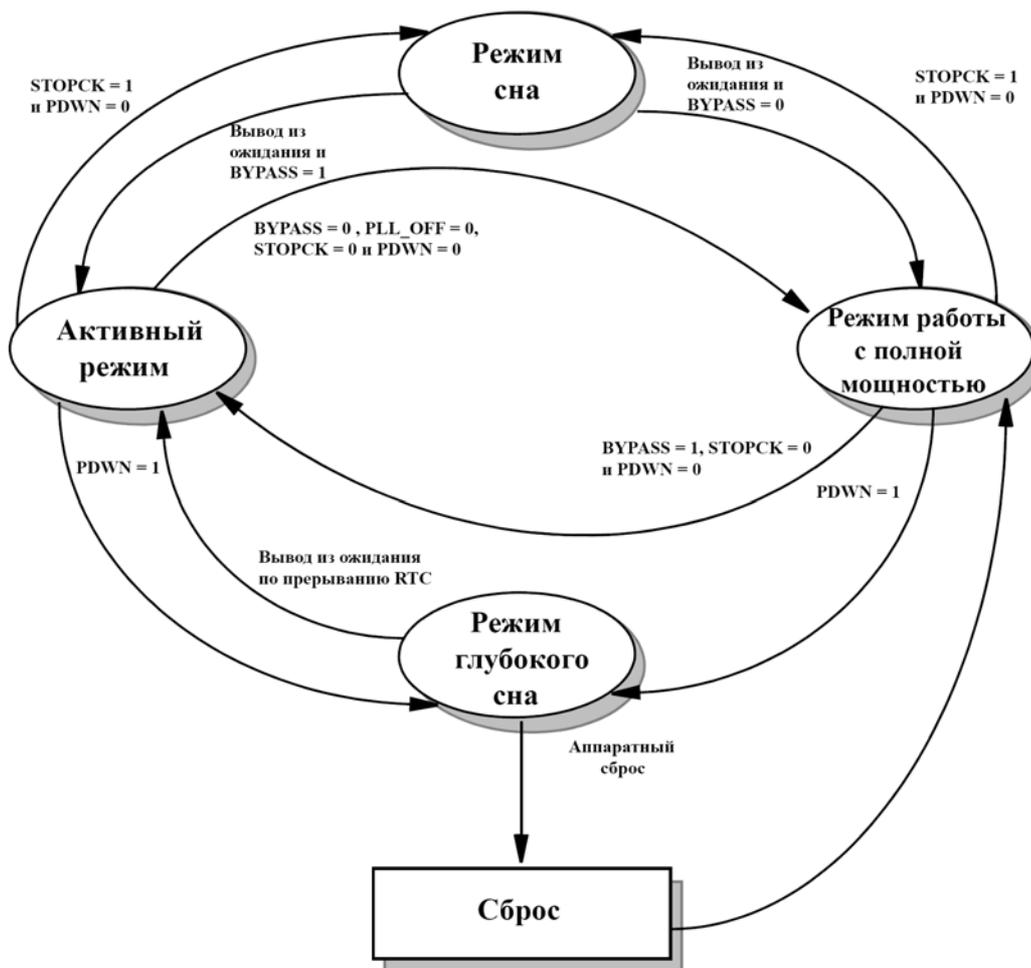


Рис. 8-6. Переходы между рабочими режимами

В таблице 8-6 приведены допустимые переходы между рабочими режимами.

⊘ Попытка вызвать переход, отличный от перечисленных в таблице 8-6, приведёт к непредсказуемым результатам.

Таблица 8-6. Допустимые переходы между рабочими режимами.

Следующий режим	Текущий режим			
	Режим работы с полной мощностью	Активный режим	Режим сна	Режим глубокого сна
Режим работы с полной мощностью	-	Разрешен	Разрешен	-
Активный режим	Разрешен	-	Разрешен	Разрешен
Режим сна	Разрешен	Разрешен	-	-
Режим глубокого сна	Разрешен	Разрешен	-	-

Динамическое управление питанием

Программирование переходов между рабочими режимами

Рабочий режим определяется состоянием битов PLL_OFF, BYPASS, STOPCK и PDWN в регистре управления PLL (PLL_CTL). Простая модификация битов регистра PLL_CTL не приводит к изменению рабочего режима или характера работы PLL. Изменения в регистре PLL_CTL вступают в силу только после выполнения определённой последовательности команд, приведённой в листинге 8-1. В начале этой последовательности выполняется перевод процессора в известное состояние (состояние ожидания). После этого, схемой PLL распознаются и реализуются изменения, внесённые в регистр PLL_CTL. После того, как изменения вступают в силу, процессор начинает работу с новыми настройками, включая возможность работы в новом рабочем режиме.

 Возможно динамическое изменение значений делителей CSEL и SSEL; при этом не требуется выполнение последовательности программирования PLL.

Листинг 8-1. Последовательность программирования PLL

```
CLI R0; /* Запрещение прерываний */
IDLE; /* Очистка конвейера и перевод ядра в состояние
ожидания */
STI R0; /*Разрешение прерываний после вывода из ожидания*/
```

Первые две команды запрещают прерывания и переводят ядро в состояние ожидания; маска прерываний (значение регистра IMASK) сохраняется в регистр R0 и выполняется останов конвейера команд. Затем конечный автомат PLL выполняет загрузку изменённых параметров регистра PLL_CTL в схему PLL.

Если изменения регистра PLL_CTL включают изменение отношения частоты VCO к частоте CLKIN или возобновление подачи питания в схему PLL, необходимо вхождение схемы PLL в режим захвата. Для этого сначала сбрасывается счётчик захвата PLL, и затем на каждом такте SCLK выполняется его инкремент на 1. После того, как счётчик достигнет значения, заданного в регистре счётчика захвата PLL, схема PLL устанавливает бит PLL_LOCKED в регистре состояния PLL (PLL_STAT) и генерирует прерывание вывода из ожидания PLL.

В зависимости от запрограммированного значения регистра PLL_CTL, возможно несколько вариантов возобновления работы процессора:

- Если регистр PLL_CTL запрограммирован на вход либо в активный режим, либо в режим работы с полной мощностью, PLL генерирует сигнал вывода из ожидания. Затем процессор возобновляет работу выполнением команды STI, как описано в разделе “Продолжение последовательности программирования PLL”.

Динамическое управление питанием

При выполнении перехода из активного режима в режим работы с полной мощностью или из режима работы с полной мощностью в активный режим, схема PLL внутренне генерирует сигнал вывода из ожидания, который может использоваться для выхода из состояния ожидания ядра. Этот сигнал также может генерироваться другим периферийным устройством (сторожевым или иным таймером, RTC или другим источником). Дополнительную информацию о событиях, вызывающих вывод процессора из состояния ожидания, см. в разделе “Регистр разрешения вывода из ожидания по прерыванию системы (SIC_IWR)” в главе 4.

- Если регистр PLL_CTL запрограммирован на вход в режим сна, процессор незамедлительно переходит в режим сна и ожидает поступления сигнала вывода из ожидания.

При установлении сигнала вывода из ожидания процессор возобновляет работу, выполняя команду STI, как описано в разделе “Продолжение последовательности программирования PLL”. При этом вызывается переход процессора в:

- активный режим, если установлен бит BYPASS в регистре PLL_CTL;
 - режим работы с полной мощностью, если бит BYPASS сброшен.
- Если регистр PLL_CTL запрограммирован на вход в режим глубокого сна, процессор незамедлительно переходит в режим глубокого сна и ожидает появления прерывания RTC или сигнала аппаратного сброса:
 - Прерывание RTC вызывает вход процессора в активный рабочий режим и возобновление его работы выполнением команды STI, как описано в следующем разделе.
 - Аппаратный сброс вызывает выполнение процессором процедуры сброса, как описано в разделе “Аппаратный сброс” в главе 3.
 - Если в регистре PLL_CTL не задана необходимость изменения рабочего режима, PLL генерирует сигнал вывода из ожидания и процессор возобновляет работу выполнением команды STI, как описано в следующем разделе.

Продолжение последовательности программирования PLL

Последовательность команд, представленная в листинге 8-1, продолжается командой STI. При этом разрешаются прерывания, восстанавливается значение регистра IMASK и возобновляется нормальный процесс выполнения программы.



Для предотвращения спонтанной активности, при выполнении этой последовательности команд необходимо временно прекратить доступы в режиме DMA.

Динамическое управление питанием

Примеры

В следующих примерах фрагментов программ демонстрируется выполнение переходов между различными рабочими режимами. Для простоты была опущена часть команд настройки, и были сделаны следующие предположения:

- P0 указывает на регистр управления PLL (PLL_CTL). P1 указывает на регистр коэффициентов деления PLL.
- В качестве сигнала вывода из ожидания разрешено прерывание вывода из ожидания PLL.
- MSEL[5:0] и DF в регистре PLL_CTL установлены в (b#011111) и (b#0), соответственно. Этими значениями задаётся отношение VCO к CLKIN, равное 31.

Переход из активного режима в режим работы с полной мощностью

В листинге 8-2 представлен код, реализующий переход из активного рабочего режима в режим работы с полной мощностью.

Листинг 8-2. Переход из активного режима в режим работы с полной мощностью.

```
CLI R2; /* Запрещение прерываний, копирование IMASK в R2
*/
R1.L = 0x3E00; /* сброс бита BYPASS */
W[P0] = P1; /* и запись в регистр PLL_CTL */

IDLE; /* Очистка конвейера, вход в состояние ожидания,
ожидание сигнала вывода из ожидания PLL */
STI R2; /* После подачи сигнала вывода из ожидания PLL
выполняется разрешение прерываний и восстановление IMASK */
... /* Процессор находится в режиме работы с полной
мощностью */
```

Переход из режима работы с полной мощностью в активный режим

В листинге 8-3 представлен код, реализующий переход из режима работы с полной мощностью в активный режим

Листинг 8-3. Переход из режима работы с полной мощностью в активный режим

```
CLI R2; /* Запрещение прерываний, копирование IMASK в R2
*/
R1.L = 0x3E00; /* сброс бита BYPASS */
W[P0] = P1; /* и запись в регистр PLL_CTL */

IDLE; /* Очистка конвейера, вход в состояние ожидания,
ожидание сигнала вывода из ожидания PLL */
```

Динамическое управление питанием

```
STI R2; /* После подачи сигнала вывода из ожидания PLL
выполняется разрешение прерываний и восстановление IMASK */
... /* Процессор находится в активном режиме */
```

Изменение отношения VCO к CLKIN в режиме работы с полной мощностью

В листинге 8-4 представлен код, реализующий изменение отношения VCO к CLKIN с 31 до 2 в режиме работы с полной мощностью.

Листинг 8-4. Изменение отношения VCO к CLKIN

```
CLI R2; /* Запрещение прерываний, копирование IMASK в R2
*/
R1.L = 0x0400; /*задание множителя VCO равного 2 */
W[P0] = P1; /* путём записи в регистр PLL_CTL */

IDLE; /* Очистка конвейера, вход в состояние ожидания,
ожидание сигнала вывода из ожидания PLL */
STI R2; /* После подачи сигнала вывода из ожидания PLL
выполняется разрешение прерываний и восстановление IMASK */
... /* Процессор находится в режиме работы с полной
мощностью, отношение VCO к CLKIN равно 2 */
```

Динамическое управление напряжением питания

В дополнение к управлению тактовой частотой в процессоре имеется возможность управления рабочими уровнями напряжения ядра. Так как рассеиваемая мощность пропорциональна квадрату напряжения, может быть достигнуто значительное её снижение за счёт использования более низких уровней напряжения.

Процессор разделён на три домена питания, как показано в таблице 8-7. В каждом домене используется отдельное питание V_{DD} . Необходимо отметить, что внутренняя логика процессора и большая часть элементов ввода/вывода может работать с широким диапазоном напряжений питания. Подробное описание допустимых диапазонов напряжений для каждого из доменов питания и данные по рассеиваемой мощности см. в *ADSP-BF531/ADSP-BF532/ADSP-BF533 Embedded Processor Data Sheet*.

Таблица 8-7. Домены питания

Домен питания	Диапазон значений V_{DD}
Вся внутренняя логика, за исключением RTC	Переменный
Внутренняя логика и элементы ввода/вывода RTC	Переменный
Все остальные элементы ввода/вывода	Переменный

Динамическое управление питанием

Управление напряжением питания

Процессор содержит внутренний контроллер импульсного стабилизатора, который, при использовании небольшого числа внешних компонентов, включая мощный транзистор, может формировать уровни внутреннего напряжения из внешнего напряжения питания V_{DDEXT} . В зависимости от требований системы уровень внутреннего напряжения может понижаться в целях экономии потребляемой мощности.

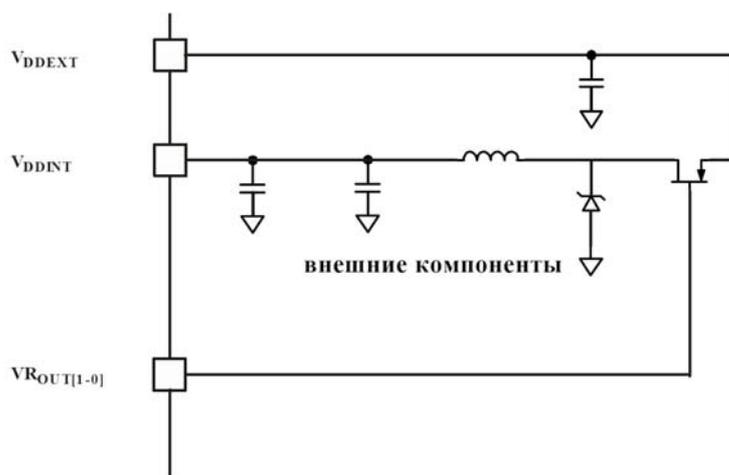


Рис. 8-7. Стабилизатор напряжения процессора

Регистр управления стабилизатором напряжения (VR_CTL)

Внутренний контроллер стабилизатора напряжения ядра управляет уровнями напряжения внутренней логики – V_{DDINT} . Для управления стабилизатором используется регистр управления стабилизатором напряжения (VR_CTL), показанный на рис. 8-8. Запись в регистр VR_CTL инициирует процедуру захвата схемой PLL нового значения напряжения.

Регистр управления стабилизатором напряжения (VR_CTL)

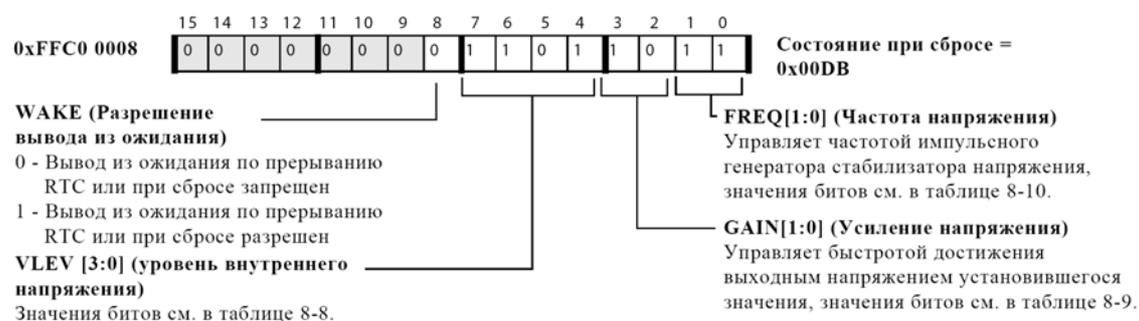


Рис. 8-8. Регистр управления стабилизатором напряжения

Динамическое управление питанием

Для управления уровнями напряжения внутренней логики используются следующие поля регистра VR_CTL:

- WAKE – Бит разрешения вывода из ожидания разрешает вывод стабилизатора напряжения из состояния выключенного питания (FREQ=00) по прерыванию RTC или заднему фронту сигнала на выводе RESET.
- VLEV[3:0] – Поле уровня напряжения определяет номинальный уровень внутреннего напряжения. Значения допустимого диапазона напряжений VLEV и соответствующие допуски напряжения см. в *ADSP-BF531/ADSP-BF532/ADSP-BF533 Embedded Processor Data Sheet*.
- FREQ[1:0] – Поле частоты управляет частотой импульсного генератора стабилизатора напряжения. С использованием более высокой частоты уменьшаются значения индуктивности и ёмкости фильтра, но возможно увеличение уровня создаваемых электромагнитных помех.



Для подачи питания в обход внутреннего стабилизатора необходимо записать значение b#00 в поле FREQ[1:0] и оставить вывод VROUT несоединённым.

- GAIN[1:0] – Поле усиления управляет усилением внутренней петли импульсного стабилизатора; эти биты определяют, насколько быстро выходное напряжение достигает установленного уровня. Как правило, с увеличением усиления время установления уменьшается, но при этом возрастает уровень выбросов.

В таблице 8-8 перечислены уровни напряжения, соответствующие различным значениям VLEV[3:0].

Таблица 8-8. Значения поля VLEV

VLEV	Напряжение
0000 – 0101	Зарезервировано
0110	.85 Вольт
0111	.90 Вольт
1000	.95 Вольт
1001	1.00 Вольт
1010	1.05 Вольт
1011	1.10 Вольт
1100	1.15 Вольт
1101	1.20 Вольт
1110	1.25 Вольт
1111	1.30 Вольт

В таблице 8-9 перечислены значения частоты импульсного генератора, задаваемые полем FREQ[1:0].

Динамическое управление питанием

Таблица 8-9. Значения поля FREQ

FREQ	Значение
00	Внутренняя стабилизация не используется, питание на схему внутреннего стабилизатора не подается
01	333 кГц
10	667 кГц
11	1 МГц

В таблице 8-10 перечислены уровни усиления, задаваемые полем GAIN[1:0].

Таблица 8-10. Значения поля GAIN

GAIN	Значение
00	5
01	10
10	20
11	50

Изменение напряжения

Незначительные изменения рабочего напряжения не требуют выполнения специальных действий в выполняемой программе. Дополнительную информацию о допусках напряжения и допустимом изменении напряжения, по отношению к номинальному, см. в *ADSP-BF531/ADSP-BF532/ADSP-BF533 Embedded Processor Data Sheet*.



Для значительного снижения потребляемой мощности или значительного увеличения производительности требуется значительное уменьшение или увеличение уровня рабочего напряжения, соответственно. Чтобы гарантировать предсказуемость поведения процессора при изменении рабочего напряжения, он должен быть переведён в известное и стабильное состояние перед выполнением модификации уровня напряжения.

При изменении напряжения рекомендуется придерживаться последовательности программирования PLL. После изменения уровня напряжения в регистре VR_CTL PLL автоматически входит в активный режим при входе процессора в состояние ожидания. На данном этапе происходит изменение уровня напряжения, вызывающее процедуру вхождения схемы PLL в режим захвата. По истечении значения счётчика захвата схема PLL возвращается в состояние работы с полной мощностью. Значение, которое необходимо записать в регистр PLL_LOCKCNT при изменении напряжения, может превышать значение, которое записывается в этот регистр при изменении частоты PLL. Подробности см. в *ADSP-BF531/ADSP-BF532/ADSP-BF533 Embedded Processor Data Sheet*.

Если после установления нового уровня напряжения рабочие параметры, такие как тактовая частота ядра (CCLK), не выходят за допустимые пределы, определённые в *ADSP-BF531/ADSP-BF532/ADSP-BF533 Embedded Processor Data Sheet*, возможен безопасный возврат процессора в любой рабочий режим.

Динамическое управление питанием

Выключение питания ядра

Внутренний стабилизатор напряжения процессора может быть отключён записью значения `b#00` в биты `FREQ` регистра `VR_CTL`. При этом запрещается подача сигналов `CCLK` и `SCLK`. Более того, при этом внутреннее напряжение питания (V_{DDINT}) устанавливается в 0 В , устраняя любые токи утечки процессора. Внутренний стабилизатор напряжения может быть выведен из выключенного состояния прерыванием `RTC` или установкой активного уровня сигнала на выводе `RESET`.

Если сигнал V_{DDINT} поступает от внешнего источника в обход внутреннего стабилизатора напряжения, единственным способом отключения питания ядра является отключение внешнего источника напряжения V_{DDINT} .

- ⊘ Когда ядро процессора находится в выключенном состоянии, напряжение V_{DDINT} равняется 0 В , и внутреннее состояние процессора не сохраняется. Поэтому, при отключении питания любая необходимая информация, хранящаяся внутри процессора (содержимое памяти, регистров и т.д.) должна быть записана в энергонезависимое устройство хранения информации.

Отключение V_{DDINT} не влияет на напряжение V_{DDEXT} . При этом, пока V_{DDEXT} подаётся на процессор, внешние выводы поддерживаются в третьем состоянии, если не указано иное.

Для отключения внутреннего питания:

1. При необходимости, следует разрешить использование сигнала вывода из ожидания по прерыванию часов реального времени в регистре `SIC_IWR`.
2. Необходимо записать в биты `FREQ` регистра `VR_CTL` значение `b#00` и установить бит `WAKE`.
3. Необходимо выполнить следующую последовательность команд:
`CLI R0;`
`IDLE;`
4. При входе в состояние ожидания V_{DDINT} примет значение 0 В .
5. При выводе процессора из ожидания по прерыванию `RTC` или при сбросе, `PLL` входит в режим захвата и выполняется процедура загрузки, определяемая значениями выводов `BMODE[1:0]`.

- ⊘ Если значение V_{DDINT} не успевает достигнуть 0 В до начала вывода процессора из состояния ожидания, могут возникнуть нежелательные результаты.