

12 КОНТРОЛЛЕРЫ ПОСЛЕДОВАТЕЛЬНЫХ ПОРТОВ

В процессоре имеется два идентичных последовательных порта (SPORT). Они поддерживают разнообразные протоколы последовательной передачи данных и могут обеспечивать прямое соединение процессоров в многопроцессорной системе.

Последовательные порты (SPORT0 и SPORT1) обеспечивают интерфейс ввода/вывода с различными последовательными периферийными устройствами. Они обеспечивают только синхронную передачу/приём данных; для асинхронной передачи данных по стандарту RS-232 используется порт UART процессора. Каждый SPORT имеет собственную группу выводов (первичных выводов, вторичных данных, тактовой и кадровой синхронизации) для передачи и аналогичную группу вывода для приёма данных. Функции приёма и передачи настраиваются независимо. Каждый последовательный порт является полнодуплексным устройством, способным выполнять одновременную передачу/приём данных. Скорость передачи, частота кадровой синхронизации и разрядность слова последовательных портов может программно задаваться при помощи записи в регистры, отображённые в карте памяти.



В данном руководстве при обозначениях регистров и выводов строчный символ 'x' используется для обозначения цифр. В этой главе, например, название RFSx относится к выводам RFS0 и RFS1 (соответствующим последовательному порту 0 и последовательному порту 1). Аббревиатуры MSB и LSB обозначают старший и младший значащий разряд, соответственно.

Оба последовательных порта имеют одинаковые возможности, процедуры их настройки идентичны. Каждый SPORT имеет собственный набор регистров управления и буферов данных.

Последовательные порты используют импульсы кадровой синхронизации для выделения начала каждого слова или пакета слов и сигналы тактовой синхронизации для выделения начала каждого бита. Возможна внешняя генерация сигналов кадровой и тактовой синхронизации.

Использование различных опций тактовой и кадровой синхронизации позволяет последовательным портам поддерживать большое количество протоколов последовательной передачи данных, включая H.100, и обеспечивать связь со многими преобразователями данных и кодеками промышленного стандарта без применения дополнительных компонентов.

Частота сигнала тактовой синхронизации последовательных портов может достигать $SCLK/2$ при внешней генерации или $1/2$ тактовой частоты системы при внутренней генерации. Частота внешнего сигнала тактовой синхронизации всегда должна быть ниже, чем частота $SCLK$. Использование независимых сигналов тактовой синхронизации при передаче и приёме обеспечивают большую гибкость организации последовательной передачи данных.

Сигналы кадровой и тактовой синхронизации последовательного порта могут генерироваться внутри процессора или поступать от внешнего источника. Последовательные порты могут выполнять передачи данных, начиная с MSB или LSB; длина слова может иметь значения от 3 до 32 битов. Возможен выбор различных режимов приёма/передачи данных и компандирование данных по А- или μ -закону. Данные последовательных портов могут автоматически перемещаться между областями внутренней и внешней памяти в режиме блочных передач. Кроме того, каждый последовательный порт может работать в многоканальном TDM (с временным разделением каналов) режиме.

Каждый из последовательных портов имеет следующие характеристики и возможности:

- независимые функции приёма и передачи;
- последовательная передача слов данных длиной от 3 до 32 битов, начиная со старшего или с младшего бита;
- альтернативная реализация кадровой синхронизации и управления для интерфейса с последовательными I²S-устройствами и передачи звука в других форматах (например, последовательная передача стереозвука с выравниванием данных по левой границе);
- наличие FIFO и двойная буферизация данных (и в приёмной и в передающей части порта имеется регистр буфера данных и сдвиговый регистр), обеспечивающие дополнительное время обслуживания последовательного порта;
- использование двух синхронных выводов приёма данных и двух синхронных выводов передачи данных, удваивающее полную поддерживаемую пропускную способность;
- аппаратное компандирование передаваемых и принимаемых слов по А- или μ -закону (дополнительную информацию см. в разделе “Компандирование”);
- сигналы тактовой и кадровой синхронизации могут генерироваться внутри процессора в широком диапазоне частот или поступать от внешнего источника;
- передачи с кадровой синхронизацией для каждого слова данных или без кадровой синхронизации, с внутренним или внешним сигналом кадровой синхронизации, с кадровой синхронизацией с активным высоким или активным низким уровнем, и с двумя возможными длительностями импульса и двумя возможными режимами кадровой синхронизации;
- управляемые прерываниями передачи одиночных слов во внутреннюю память и из неё, которые контролируются процессором;
- передачи в память и из памяти в режиме прямого доступа к памяти под управлением контроллера DMA. DMA может выполняться в режиме автобуферизации (повторяющиеся передачи одинакового числа слов) или с

12 Контроллеры последовательных портов

использованием дескрипторов (однократные или повторяющиеся передачи с различающимися параметрами DMA);

- выполнение передач в режиме DMA во внутреннюю память или из внутренней памяти. Каждый SPORT может автоматически принимать или передавать целый блок данных;
- выполнение цепочек операций DMA для передачи нескольких блоков данных;
- многоканальный режим для реализации интерфейса в TDM-системе. Каждый SPORT может избирательно принимать или передавать данные из последовательного потока с временным разделением каналов, состоящего из 128 идущих подряд каналов, внутри полного потока, включающего до 1024 каналов. Этот режим может быть полезен для организации протокола связи в сети из нескольких процессоров. 128 каналов, доступных процессору могут начинаться с любой позиции в полном потоке от 0 до $895 = (1023 - 128)$. Регистры выбора каналов и регистр `WSIZE` определяют набор, доступный в активной области из 128 каналов.

В таблице 12-1 перечислены выводы последовательных портов.

Таблица 12-1. Выводы последовательного порта (SPORT)

Вывод ¹	Описание
DTxPRI	Первичный вывод передачи данных
DTxSEC	Вторичный вывод передачи данных
TSCLKx	Тактовая синхронизация передачи
TFSx	Кадровая синхронизация передачи
DRxPRI	Первичный вывод приёма данных
DRxSEC	Вторичный вывод приёма данных
RSCLKx	Тактовая синхронизация приёма
RFSx	Кадровая синхронизация приёма

¹ Прописной символ 'x' в имени вывода может принимать значения 0 или 1 (SPORT0 или SPORT1).

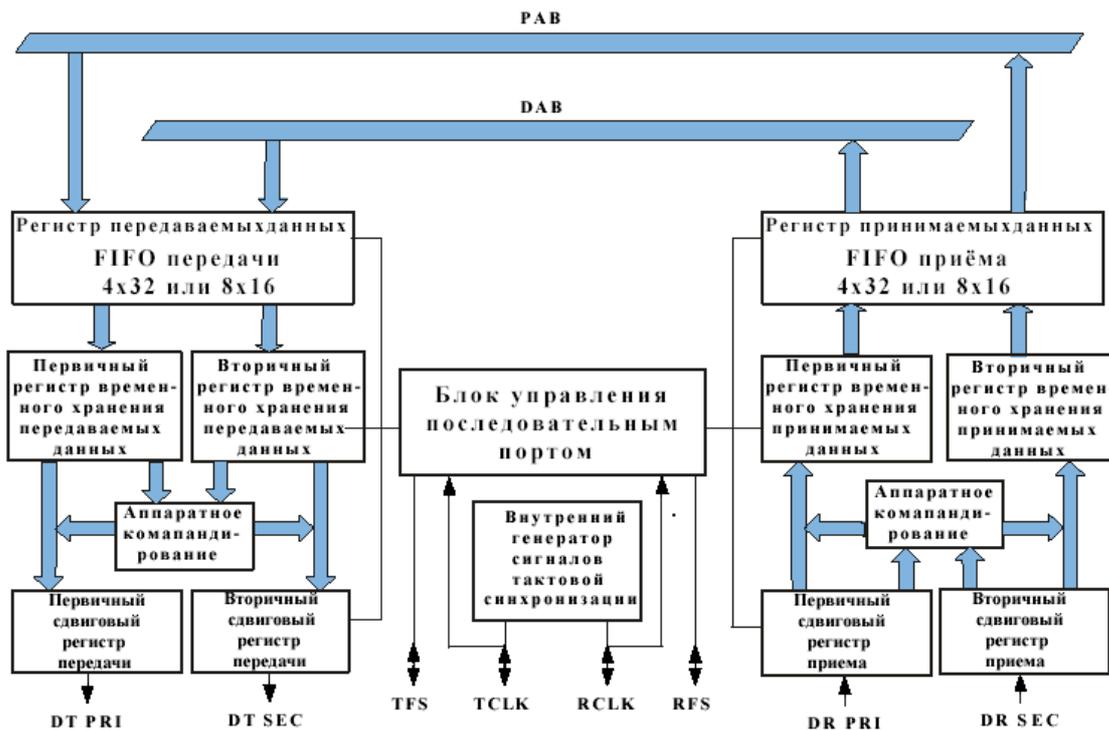
SPORT принимает последовательно передаваемые данные на входах `DRxPRI` и `DRxSEC` и последовательно передаёт данные на выводах `DTxPRI` и `DTxSEC`. Работая в дуплексном режиме, он может одновременно принимать и передавать данные. Биты данных передаются синхронно с сигналом тактовой синхронизации передачи (`TSCLKx`) и принимаются синхронно с сигналом тактовой синхронизации приёма (`RSCLKx`). Сигнал тактовой синхронизации последовательного порта является выходным, если он генерируется процессором, или входным, если он генерируется внешним источником. Сигналы кадровой синхронизации, `RFSx` и `TFSx`, используются для выделения начала последовательной передачи слова или блока слов данных.

Использование первичных и вторичных выводов данных позволяет увеличить пропускную способность последовательного порта. Их функционирование не является независимым; они работают синхронно (используя один набор сигналов тактовой и кадровой синхронизации), но с разными данными. Данные, принимаемые на первичных и вторичных выводах, перемежаются в памяти процессора. Данные, поступающие на конкретный вывод, могут быть выделены при задании соответствующего смещения в блоках генераторов адреса данных (DAG). Дополнительную информацию о генераторах адреса данных см. в главе 5, "Генераторы адреса данных". Аналогичным образом, при передаче данные в регистр `TX` должны записываться поочередно: сначала данные первичного

вывода, затем вторичного, затем первичного и т.д. Это легко выполняется с помощью генераторов адреса данных процессора.

Помимо сигнала тактовой синхронизации передача данных должна управляться сигналом кадровой синхронизации. Сигнал кадровой синхронизации может присутствовать либо в начале передачи каждого слова, либо в начале блока слов.

На следующем рисунке представлена упрощённая блок-схема одного последовательного порта. Передаваемые данные записываются из внутреннего регистра процессора в регистр SPORT_TX порта по периферийной шине. Эти данные могут (необязательно) подвергаться аппаратному сжатию и автоматически передаются в сдвиговый регистр передачи. В сдвиговом регистре биты сдвигаются на вывод DTxPRI/DTxSEC последовательного порта, начиная с MSB или с LSB, синхронно с сигналом тактовой синхронизации TSCLKx. В приёмной части последовательного порта данные принимаются с вывода DRxPRI/DRxSEC синхронно с сигналом тактовой синхронизации RSCLKx. После приёма всего слова данные (необязательно) расширяются и автоматически передаются в регистр SPORTxRX, из которого они поступают в приёмный буфер FIFO, где становятся доступны процессору.



Примечание 1: Все шины, обозначенные цветными стрелками, имеют разрядность от 16 до 32 битов, в зависимости от значения SLEN. При SLEN от 2 до 15 используются 16-разрядные шины и 8-элементный FIFO. При SLEN от 16 до 31 используются 32-разрядные шины и 4-элементный FIFO.

Примечание 2: Регистр передаваемых данных находится в верхней части FIFO передачи, регистр принимаемых данных находится в нижней его части.

Рис. 12-1. Блок-схема последовательного порта

12 Контроллеры последовательных портов

На рис. 12-2 показана возможная схема соединения последовательных портов с внешними устройствами. Необходимо отметить, что последовательные устройства А и В должны работать синхронно, так как они совместно используют выходы тактовой и кадровой синхронизации. Это справедливо также для устройств С и D.

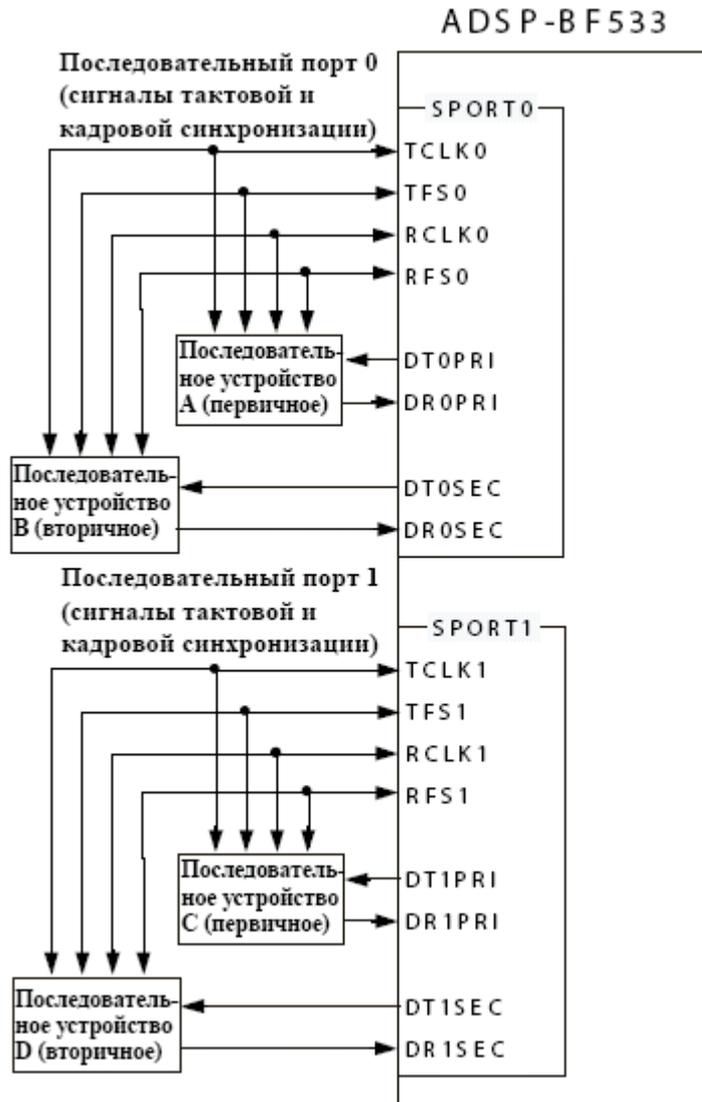


Рис. 12-2. Схема соединения последовательных портов

На рис. 12-3 показана схема соединения процессора с последовательным стерео устройством, имеющим три канала передачи и три канала приёма.

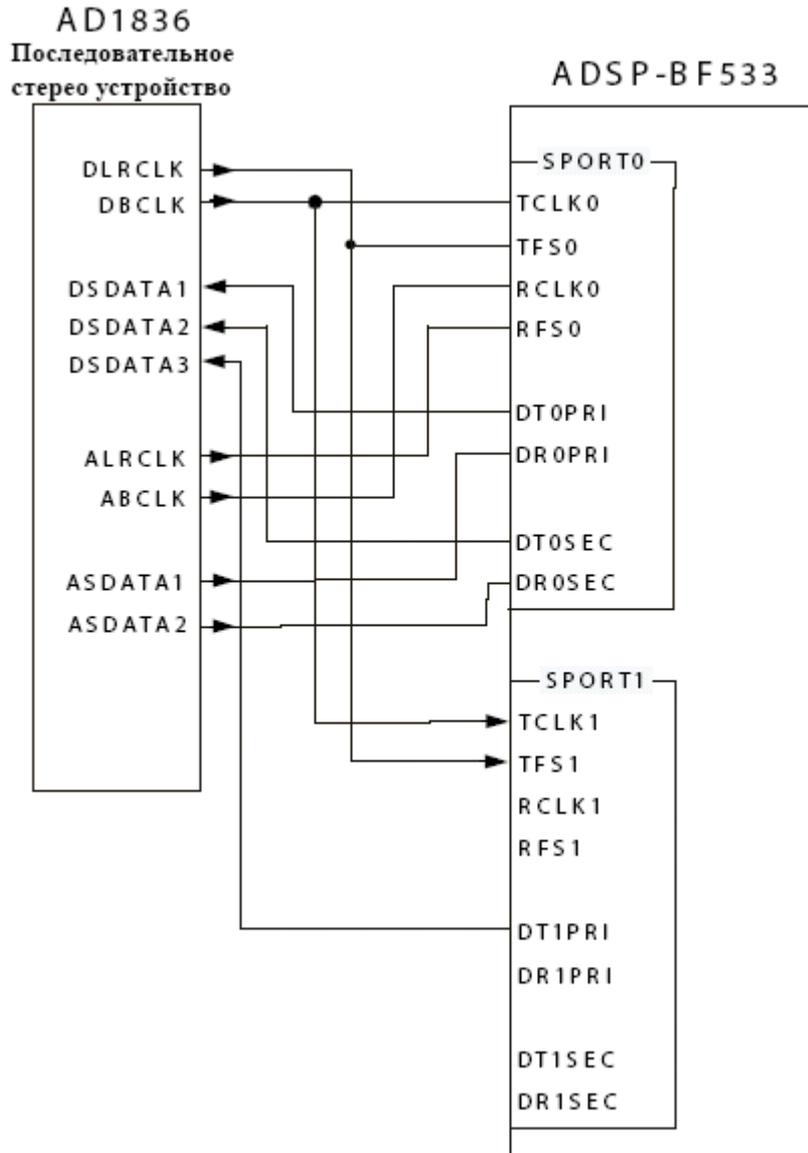


Рис. 12-3. Схема соединения с последовательным стерео устройством

Работа последовательного порта

В этом разделе описываются основные принципы работы последовательного порта, иллюстрирующие его наиболее общее применение. Так как функции последовательного порта настраиваются программно, данный пример представляет собой только одну из многих возможных конфигураций.

Запись в регистр `SPORTx_TX` последовательного порта подготавливает его к передаче. Сигнал `TFS` инициирует последовательную передачу данных. После начала передачи каждое значение, записываемое в регистр `SPORTx_TX`, передаётся через FIFO во внутренний сдвиговый регистр передачи. Затем выполняется передача битов, начиная с младшего или старшего разряда, в

12 Контроллеры последовательных портов

зависимости от значения регистра `SPORTx_TCR1`. Сдвиг битов на выход происходит по активному фронту `TSCLKx`. Активный фронт сигнала `TSCLKx` может выбираться программно. `SPORT` генерирует прерывание передачи и запрос `DMA`, пока `FIFO` передачи не заполнен.

По мере приёма битов последовательным портом они накапливаются во внутреннем приёмном регистре. После того, как слово принято полностью, оно записывается в регистр `FIFO` последовательного порта, и генерируется прерывание приёма `SPORT` или инициируется операция `DMA`. При выполнении передач блоков данных в режиме `DMA` процедура генерации прерываний отличается от описанной выше. Дополнительную информацию о `DMA` см. в главе 9, “Прямой доступ к памяти”.

Запрещение работы последовательного порта

Работа последовательных портов автоматически запрещается при аппаратном или программном сбросе процессора. Работу последовательного порта также можно запретить напрямую сбросом бита разрешения передачи или приёма последовательного порта (`TSPEN` в регистре `SPORTx_TCR1` и `RSPEN` в регистре `SPORTx_RCR1`, соответственно). Эти методы влияют на последовательный порт по разному.

При сбросе процессора работа последовательных портов запрещается путём обнуления регистров `SPORTx_TCR1`, `SPORTx_TCR2`, `SPORTx_RCR1` и `SPORTx_RCR2` (включая биты разрешения `TSPEN` и `RSPEN`) и регистров делителей кадровой и тактовой синхронизации (`SPORTx_RFSDIVx`, `SPORTx_TFSDIVx`, `RDIVx` и `TDIVx`). Любые выполняемые операции прерываются.

При программном сбросе битов разрешения (`TSPEN` и `RSPEN`) запрещается работа последовательных портов, прерываются любые выполняемые операции и сбрасываются биты состояния. При этом значение битов конфигурации не изменяется; они могут быть изменены или перезаписаны программой. Для запрещения генерации выходного сигнала тактовой синхронизации следует запретить работу соответствующего последовательного порта.

Последовательные порты готовы к передаче или приёму данных не позднее, чем через три такта сигнала тактовой синхронизации после разрешения их работы в регистрах `SPORTx_TCR1` или `SPORTx_RCR1`. Первый импульс внутреннего сигнала кадровой синхронизации формируется с задержкой в один такт сигнала кадровой синхронизации относительно момента готовности последовательного порта к работе. Импульсы внешних сигналов кадровой синхронизации могут поступать сразу после разрешения работы последовательных портов.

При запрещении работы последовательного порта в многоканальном режиме следует сначала сбросить бит `TXEN`, а затем `RXEN`. Следует отметить, что сброс этих битов необходимо выполнить до повторного разрешения работы. Раздельное запрещение только передачи или только приёма недопустимо.

Настройка режимов последовательного порта

Конфигурирование последовательного порта достигается настройкой битов и значений полей в регистрах конфигурации. Конфигурирование каждого последовательного порта должна выполняться до разрешения его работы. После разрешения работы последовательного порта дальнейшая запись в соответствующие регистры конфигурации запрещена (за исключением регистра выбора каналов и регистров `SPORTx_RCLKDIV` и `SPORTx_TCLKDIV`). Для изменения значений других регистров конфигурации последовательного порта необходимо запретить его работу, сбросив бит `TSPEN` в регистре `SPORTx_TCR1` и/или `RSPEN` в регистре `SPORTx_RCR1`.

Каждый `SPORT` имеет собственный набор регистров управления и буферов данных. Подробное описание этих регистров даётся в следующих разделах. Биты управления и состояния считаются активными, если они равны единице (если не указано иное).

Запись в регистры и задержка записи

Когда работа последовательного порта запрещена (биты `TSPEN` и `RSPEN` сброшены), запись в регистр последовательного порта завершается в конце того такта `SCLK`, в котором она производится. Новое значение регистра может быть считано из регистра на следующем такте.

Если разрешён приём (установлен бит `RSPEN`) или передача (установлен бит `TSPEN`), запись в регистры конфигурации соответствующего последовательного порта запрещена (за исключением регистра выбора каналов и регистров `SPORTx_RCLKDIV` и `SPORTx_TCLKDIV`). Запись в регистр `SPORTx_TX` разрешена всегда; регистры `SPORTx_RX`, `SPORTx_CHNL` и `SPORTx_STAT` доступны только для чтения.

При записи в регистр последовательного порта, выполняемой, когда его работа запрещена, любые изменения битов управления и режима вступают в силу после повторного разрешения работы порта.



Изменение большинства регистров конфигурации возможно только, когда работа последовательного порта запрещена ($TSPEN/RSPEN = 0$). Изменения вступают в силу после разрешения работы порта. Единственным исключением из этого правила являются регистры выбора каналов и регистры `RCLKDIV/TCLKDIV`.

12 Контроллеры последовательных портов

Регистры конфигурации передачи (SPORTx_TCR1, SPORTx_TCR2)

Основными регистрами управления передающей частью каждого последовательного порта являются регистры конфигурации передачи, SPORTx_TCR1 и SPORTx_TCR2.

Режим передачи последовательного порта разрешён, если бит 0 (TSPEN) регистра конфигурации передачи 1 установлен в 1. Этот бит сбрасывается при аппаратном или программном сбросе; при этом работа порта в режиме передачи запрещается.

Когда режим передачи последовательного порта разрешён (установлен бит TSPEN), запись в регистры конфигурации соответствующего порта запрещена, за исключением регистра выбора каналов и регистра SPORTx_TCLKDIV. Запись в запрещённые регистры не изменяет их содержимого. Если работа последовательного порта разрешена, при записи в регистр SPORTx_TCR изменяется только бит 0 (TSPEN). Например:

```
write (SPORTx_TCR1,0x0001); /* Разрешение передачи порта */
write (SPORTx_TCR1,0xFF01); /* Запись игнорируется */
write (SPORTx_TCR1, 0xFFFF0); /* Запрещение работы порта,
содержимое SPORTx_TCR1 равно 0x0000 */
```

Регистр конфигурации передачи SPORTx1 (SPORTx_TCR1)

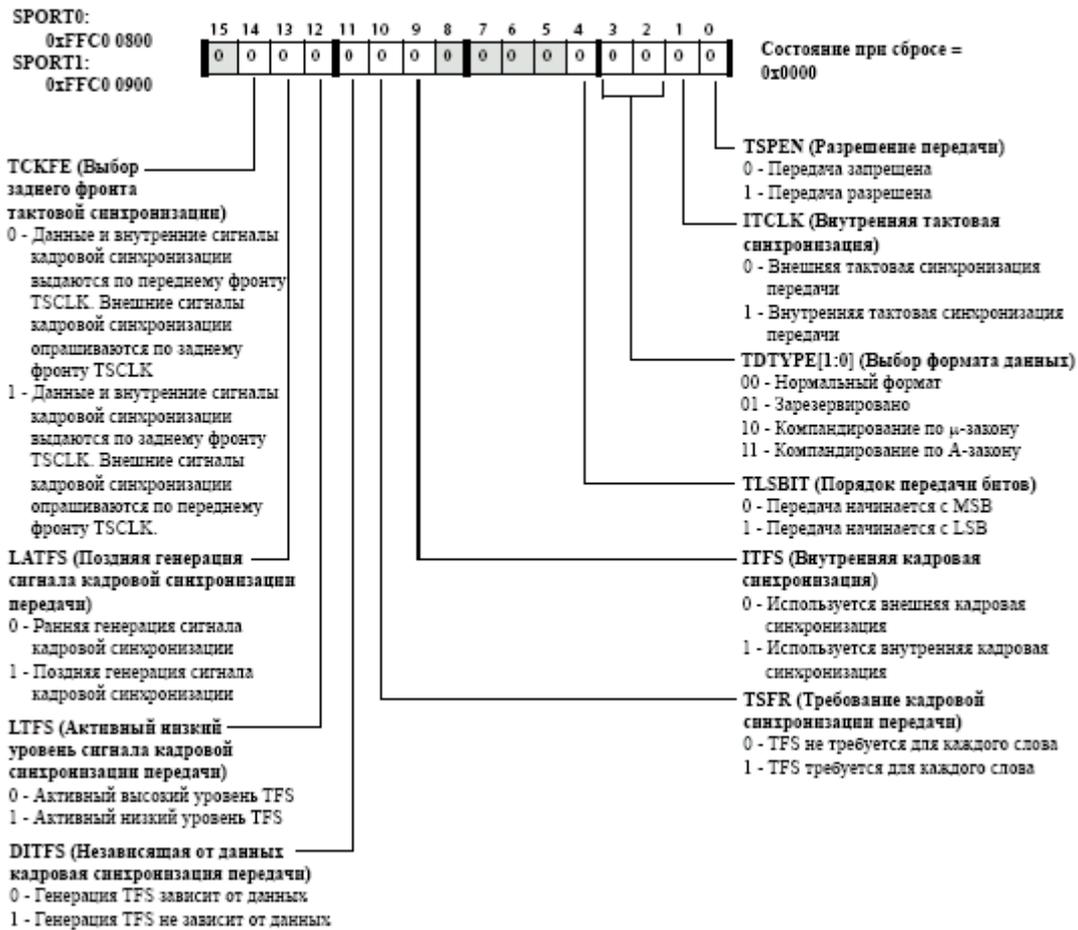


Рис. 12-4. Регистр конфигурации передачи SPORTx 1

Регистр конфигурации SPORTx 2 (SPORTx_TCR2)

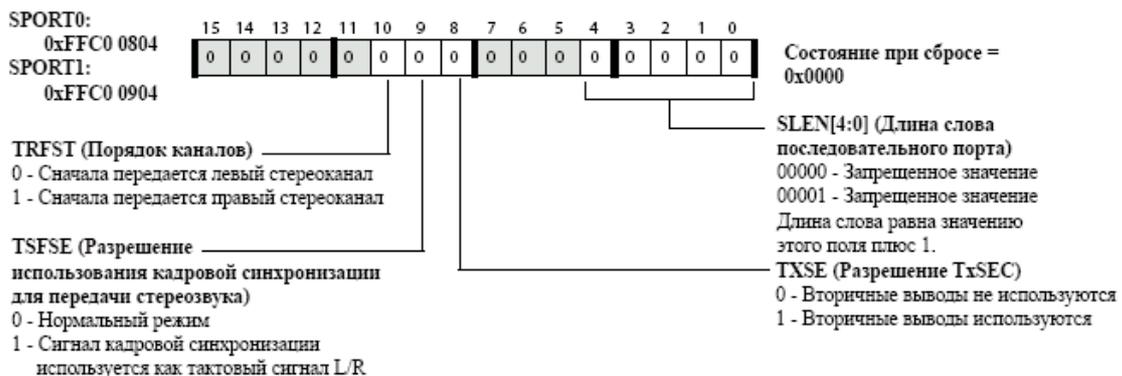


Рис. 12-5. Регистр конфигурации передачи SPORTx 2

Далее приводится более подробное описание битов регистров конфигурации передачи SPORTx_TCR1 и SPORTx_TCR2:

12 Контроллеры последовательных портов

- **Разрешение передачи (TSPEN).** В зависимости от значения данного бита разрешён (если бит установлен) или запрещён (если бит сброшен) режим передачи последовательного порта.

Установка бита TSPEN вызывает генерацию прерывания передачи SPORT, сигнализирующего о том, что регистр данных передачи пуст и должен быть заполнен. Такое поведение обычно является желательным, так как позволяет разместить весь код записи передаваемых данных в программе обслуживания прерывания передачи. Для этого, до установки бита TSPEN в программе необходимо инициализировать и настроить соответствующим образом программу обслуживания прерывания передачи последовательного порта.

Аналогично, если при передаче используется DMA, необходимо перед установкой бита TSPEN корректно настроить все параметры и регистры управления DMA.

Сброс бита TSPEN вызывает прекращение выдачи данных, сигналов TSCLK и кадровой синхронизации; при этом также отключается питание внутренней схемы приёма последовательного порта. При применении процессора в устройствах с низким потреблением мощности, продолжительность работы батарей может быть увеличена, если сбрасывать бит TSPEN, каждый раз когда SPORT не используется.



Перед установкой бита TSPEN необходимо запрограммировать все регистры управления последовательного порта. В типичной программе инициализации последовательного порта сначала выполняется запись всех регистров управления, включая регистры управления DMA, если это необходимо. Последним шагом программы является запись в регистр SPORTx_TCR1 всех необходимых битов, включая TSPEN.

- **Внутренняя тактовая синхронизация передачи (ITCLK).** В зависимости от значения этого бита выбирается внутренняя генерация сигнала тактовой синхронизации передачи (если бит установлен) или внешний сигнал тактовой синхронизации передачи на выводе TSCLK (если бит сброшен). Когда выбран внешний сигнал тактовой синхронизации, значение регистра TCLKDIV не используется.
- **Выбор формата данных.** Два бита TDTYPE задают форматы данных при работе в одноканальном и многоканальном режимах.
- **Порядок передачи битов (TLSBIT).** Бит TLSBIT задаёт порядок передачи битов слов, передаваемых через SPORT.
- **Длина слова последовательного порта (SLEN).** Длина слова последовательного порта (число битов в каждом слове, передаваемом через SPORT) вычисляется по следующей формуле:

Длина слова последовательного порта = SLEN + 1

Значение поля SLEN может задаваться в диапазоне от 2 до 31; задание значений 0 и 1 недопустимо. Три наиболее стандартных значения поля SLEN – 15 при передаче полного 16-разрядного слова, 7 при передаче 8-разрядного байта и 23 при передаче 24-разрядного слова. Процессор может загружать 16- или 32-разрядные значения в буфер передачи при помощи DMA или команд записи в регистр по адресу в карте памяти. Значение поля SLEN определяет, какое количество битов, записанных в буфер передачи, будет передано по последовательному каналу.

 Частота сигнала кадровой синхронизации определяется регистрами SPORT_x_TFSDIV и SPORT_x_RFSDIV, а не значением поля SLEN. Для генерации импульсов кадровой синхронизации по каждому передаваемому байту или слову необходимо записать соответствующее значение делителя в регистр делителя кадровой синхронизации; если задать SLEN = 7, импульс кадровой синхронизации не будет генерироваться при передаче каждого байта.

- **Внутренняя кадровая синхронизация передачи (ITFS).** В зависимости от значения этого бита выбирается внутренний (если бит установлен) или внешний (если бит сброшен) сигнал TFS.
- **Требование кадровой синхронизации передачи (TFSR).** В зависимости от значения этого бита SPORT требует (если бит установлен) или не требует (если бит сброшен) кадровой синхронизации для каждого передаваемого слова данных.

 Обычно, при настройке последовательного порта бит TFSR устанавливается. Импульс кадровой синхронизации используется для выделения начала каждого слова или пакета данных и требуется в большинстве систем.

- **Независящая от данных кадровая синхронизация передачи (DITFS).** В зависимости от значения этого бита генерация сигнала TFS последовательным портом, зависит от данных (импульс синхронизации генерируется, когда в регистре SPORT_x_TX есть данные) или не зависит от данных (импульс синхронизации генерируется в заданные интервалы времени). Этот бит имеет значение только в случае внутренней генерации сигнала кадровой синхронизации (ITFS = 1). Когда выбрана внешняя кадровая синхронизация, бит DITFS игнорируется.

Импульс кадровой синхронизации выделяет начало слова данных. Если бит DITFS установлен, импульс кадровой синхронизации генерируется с регулярным интервалом времени, независимо от того, загружались ли данные в регистр SPORT_x_TX или нет. Если бит DITFS сброшен, импульс кадровой синхронизации генерируется только при загрузке регистра данных SPORT_x_TX. Если приемник требует генерации импульсов кадровой синхронизации в регулярные интервалы времени, бит DITFS должен быть установлен в 1, и процессор должен успевать загружать данные в регистр SPORT_x_TX вовремя. Если приемник может работать с импульсами кадровой

12 Контроллеры последовательных портов

синхронизации, поступающими в случайные моменты времени, бит DITFS следует сбросить для предотвращения повторной передачи данных портом или передачи неполных данных, в случае, когда процессор запаздывает с загрузкой регистра SPORT_x_TX.

- **Поздняя генерация сигнала кадровой синхронизации передачи (LTFS).** Этот бит задает режим поздней (если бит установлен) или ранней (если бит сброшен) генерации сигнала кадровой синхронизации передачи.
- **Выбор фронта опроса/выдачи данных (TCKFE).** Этот бит задает фронт сигнала TCLK_x, используемый последовательным портом для выдачи данных и внутренне генерируемых сигналов кадровой синхронизации и для опроса внешнего сигнала кадровой синхронизации. Когда бит установлен, данные и внутренне генерируемый сигнал кадровой синхронизации выдаются по заднему фронту, а опрос внешнего сигнала кадровой синхронизации производится по заднему фронту.
- **Разрешение TxSEC (TXSE).** Если данный бит установлен, разрешается использование вторичных выводов передачи последовательного порта.
- **Разрешение последовательной передачи стереозвука (TSFSE).** Если данный бит установлен, активизируется рабочий режим последовательной передачи стереозвука. По умолчанию этот бит сброшен; при этом используется нормальный режим тактовой и кадровой синхронизации.
- **Порядок следования каналов (TRFST).** Если этот бит установлен, в режиме последовательной передачи стереозвука первым передаётся правый канал. По умолчанию этот бит сброшен, и первым передаётся левый канал.

Регистры конфигурации приёма (SPORT_x_RCR1, SPORT_x_RCR2)

Основными регистрами управления приёмной частью каждого последовательного порта являются регистры конфигурации приёма, SPORT_x_RCR1 и SPORT_x_RCR2.

Режим приёма последовательного порта разрешён, если бит 0 (RSPEN) регистра конфигурации приёма 1 установлен в 1. Этот бит сбрасывается при аппаратном или программном сбросе; при этом работа порта в режиме приёма запрещается.

Когда режим приёма последовательного порта разрешён (установлен бит RSPEN), запись в регистры конфигурации соответствующего порта запрещена, за исключением регистра выбора каналов и регистра SPORT_x_RCLKDIV. Запись в запрещённые регистры не изменяет их содержимого. Если работа последовательного порта разрешена, при записи в регистр SPORT_x_RCR изменяется только бит 0 (RSPEN). Например:

```

write (SPORTx_RCR1,0x0001); /* Разрешение приёма порта */
write (SPORTx_RCR1,0xFF01); /* Запись игнорируется */
write (SPORTx_RCR1, 0xFFFF0); /* Запрещение работы порта,
содержимое SPORTx_RCR1 равно 0x0000 */

```

Регистр конфигурации приёма SPORTx 1 (SPORTx_RCR1)

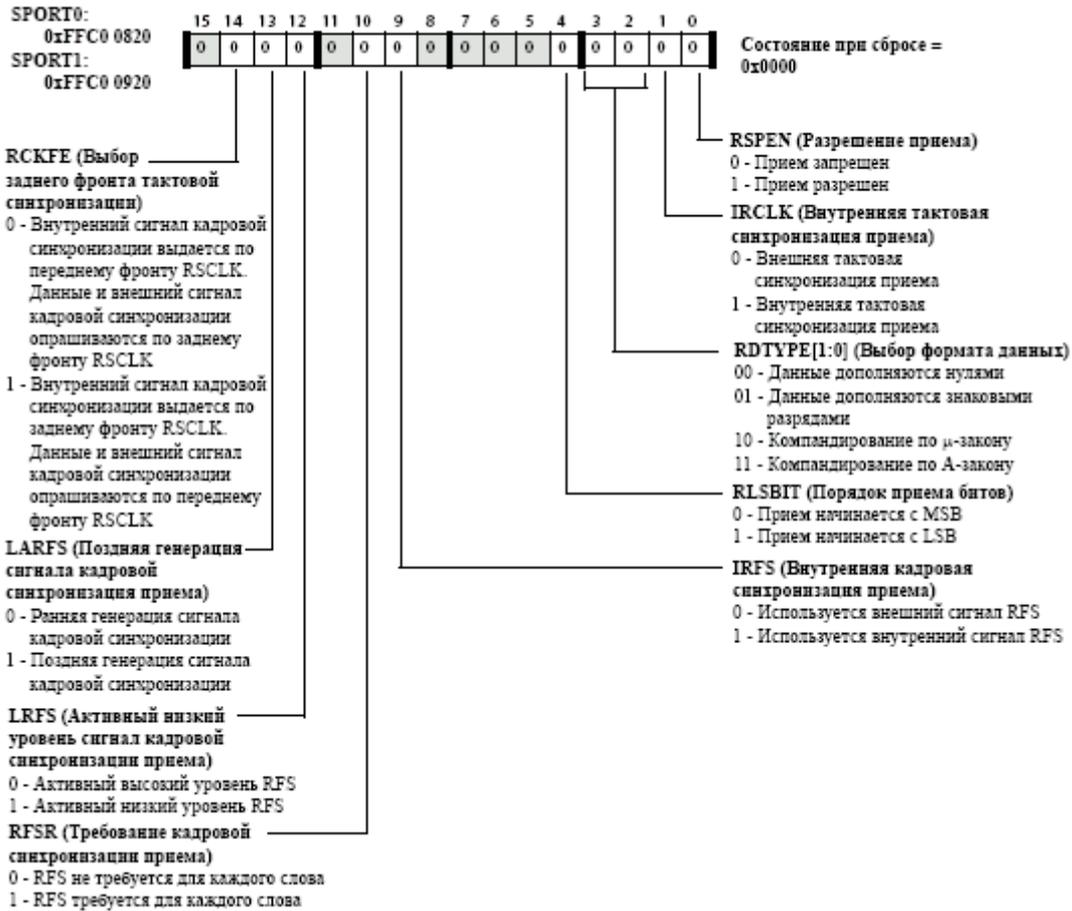


Рис. 12-6. Регистр конфигурации приёма SPORTx 1

Регистр конфигурации приёма SPORTx 2 (SPORTx_RCR2)

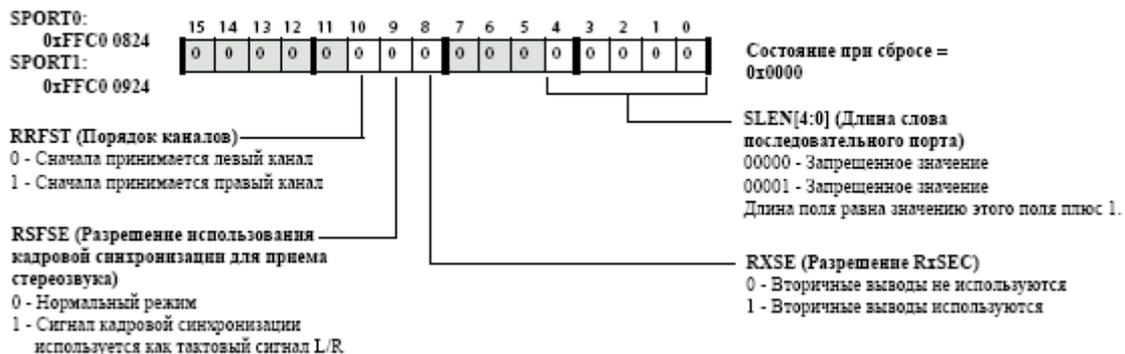


Рис. 12-7. Регистр конфигурации приёма SPORTx 2

12 Контроллеры последовательных портов

Далее приводится более подробное описание битов регистров конфигурации приёма SPORTx_RCR1 и SPORTx_RCR2:

- **Разрешение приёма (RSPEN).** В зависимости от значения данного бита разрешён (если бит установлен) или запрещён (если бит сброшен) режим приёма последовательного порта. Установка бита RSPEN приводит к запуску работы последовательного порта; при этом начинается опрос выводов приёма данных, а также выводов тактовой и кадровой синхронизации приёма, если задана внешняя генерация соответствующих сигналов.

Установка бита RSPEN разрешает работу приёмника SPORTx, который может генерировать прерывания приёма SPORTx. Поэтому до установки бита RSPEN необходимо инициализировать программу обслуживания прерывания и регистры управления DMA и подготовить программу к обслуживанию прерываний приёма. Когда бит RSPEN установлен и разрешён режим DMA, при приёме данных генерируются запросы DMA. Перед установкой бита RSPEN необходимо настроить все регистры управления DMA.

Сброс бита RSPEN вызывает прекращение приема данных последовательным портом; при этом также отключается питание внутренней схемы приёма последовательного порта. При применении процессора в устройствах с низким потреблением мощности продолжительность работы батарей может быть увеличена, если сбрасывать бит RSPEN каждый раз, когда SPORT не используется.



Перед установкой бита RSPEN необходимо запрограммировать все регистры управления последовательного порта. В типичной программе инициализации последовательного порта сначала выполняется запись всех регистров управления, включая регистры управления DMA, если это необходимо. Последним шагом программы является запись в регистр SPORTx_RCR1 всех необходимых битов, включая RSPEN.

- **Внутренняя тактовая синхронизация приёма (IRCLK).** В зависимости от значения этого бита выбирается внутренний (если бит установлен) или внешний сигнал тактовой синхронизации (если бит сброшен). Когда выбран внешний сигнал тактовой синхронизации, значение регистра RCLKDIV не используется.
- **Выбор формата данных (RDTYPE).** Два бита RDTYPE задают один из четырёх форматов данных, используемых при работе в одноканальном и многоканальном режимах.
- **Порядок передачи битов (RLSBIT).** Бит RLSBIT задаёт порядок передачи битов слов, принимаемых последовательным портом.

Длина слова последовательного порта (SLEN). Длина слова последовательного порта (число битов в каждом слове, принимаемом последовательным портом) равна значению этого поля плюс 1. Значение поля SLEN может задаваться в диапазоне от 2 до 31; задание значений 0 и 1 недопустимо.



Частота сигнала кадровой синхронизации определяется регистрами `SPORTx_TFSDIV` и `SPORTx_RFSDIV`, а не значением поля `SLEN`. Для формирования импульсов кадровой синхронизации по каждому передаваемому байту или слову необходимо записать соответствующее значение делителя в регистр делителя кадровой синхронизации; если задать `SLEN=7`, импульс кадровой синхронизации не будет генерироваться при передаче каждого байта.

- **Внутренняя кадровая синхронизация приёма (IRFS).** В зависимости от значения этого бита `SPORT` использует внутренний (если бит установлен) или внешний (если бит сброшен) сигнал `RFS`.
- **Требование кадровой синхронизации приёма (RFSR).** В зависимости от значения данного бита `SPORT` требует (если бит установлен) или не требует (если бит сброшен) кадровой синхронизации для каждого принимаемого слова.
- **Активный низкий уровень кадровой синхронизации (LRFS).** Данный бит задаёт активный низкий (если бит установлен) или активный высокий (если бит сброшен) сигнала `RFS`.
- **Поздняя генерация сигнала кадровой синхронизации приёма (LARFS).** Этот бит задаёт режим поздней (если бит установлен) или ранней (если бит сброшен) генерации сигнала кадровой синхронизации приёма.
- **Выбор фронта тактового сигнала (RCKFE).** Этот бит задаёт фронт сигнала `RSCLK`, используемый последовательным портом для опроса данных и внешнего сигнала кадровой синхронизации и для выдачи внутреннего сигнала кадровой синхронизации. Когда бит установлен, внутренне генерируемый сигнал кадровой синхронизации выдаётся по заднему фронту, а опрос данных и внешнего сигнала кадровой синхронизации производится по переднему фронту. Когда бит сброшен, внутренне генерируемый сигнал кадровой синхронизации выдаётся по переднему фронту, а опрос данных и внешнего сигнала кадровой синхронизации производится по заднему фронту.
- **Разрешение RxSEC (RXSE).** Если данный бит установлен, разрешается использование вторичных выводов приёма последовательного порта.
- **Разрешение режима последовательной передачи стереозвука (RSFSE).** Если данный бит установлен, активизируется рабочий режим последовательной передачи стереозвука. По умолчанию этот бит сброшен; при этом используется нормальный режим кадровой и тактовой синхронизации.
- **Порядок следования каналов (RRFST).** Если этот бит установлен, в режиме последовательной передачи стереозвука первым принимается правый канал. По умолчанию этот бит сброшен, и первым принимается левый канал.

12 Контроллеры последовательных портов

Форматы слов данных

Формат слов, передаваемых по последовательным портам, задаётся комбинацией полей SLEN, RDTYPE и TDTYPE и битов RLSBIT и TLSBIT в регистрах SPORTx_TCR1, SPORTx_TCR2, SPORTx_RCR1 и SPORTx_RCR2.

Регистр передаваемых данных SPORTx (SPORTx_TX)

Регистр SPORTx_TX доступен только для записи. Чтение этого регистра вызывает ошибку шины периферийного доступа (PAB). Запись в этот регистр вызывает запись в FIFO передатчика. Размер 16-разрядного FIFO составляет 8 ячеек для слов, длина которых меньше или равна 16, или 4 ячейки для слов, длина которых больше 16. Буфер FIFO является общим для первичных и вторичных данных. Порядок размещения данных в FIFO показан на рис. 12-8.

Необходимо соблюдать порядок чередования первичных и вторичных данных в FIFO, показанный на рисунке. То есть, если используется режим передачи вторичных данных, записи в FIFO по шине PAB или при помощи DMA должны выполняться следующим образом: сначала записываются первичные данные, затем вторичные. Команды записи по шинам DAB/PAB должны согласовываться с длиной слов данных. При использовании длин слов не превышающих 16 следует использовать 16-разрядные операции записи, для длин слов больше 16 следует использовать 32-разрядные операции записи.

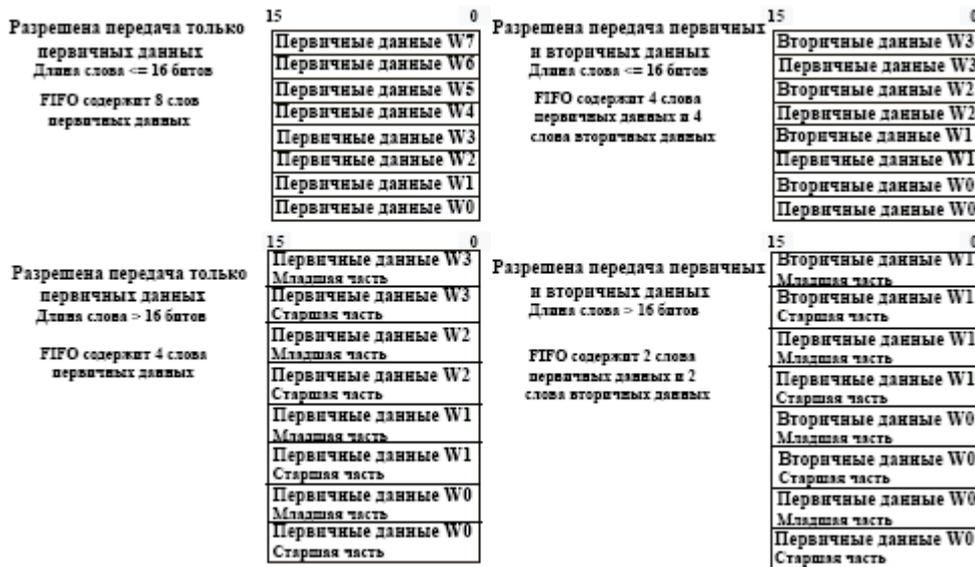


Рис. 12-8. Порядок размещения данных в FIFO передачи последовательного порта

Когда режим передачи разрешён, данные, находящиеся в FIFO, собираются в регистре промежуточного хранения передаваемых данных в соответствии со

значениями бита TXSE и поля SLEN, и подаются в первичный и вторичный сдвиговый регистр. Затем данные последовательно сдвигаются на выходы DTPRI и DTSEC.

Когда TSPEN = 1 и в FIFO передачи есть место для дополнительных слов, генерируется прерывание передачи SPORT. Это прерывание не генерируется, если разрешён режим DMA последовательного порта. Описание операций в режиме DMA см. в главе 9, “Прямой доступ к памяти”.

Если при поступлении импульса кадровой синхронизации новые данные ещё не были загружены в сдвиговый регистр, в регистре состояния SPORT устанавливается бит состояния отсутствия данных при передаче (TUVF). В многоканальном режиме (MCM) бит TUVF устанавливается всякий раз, когда при начале передач текущего активного канала данные в сдвиговом регистре отсутствуют. Бит состояния TUVF имеет тип W1C (запись-1-для-сброса), он также может быть сброшен запрещением работы последовательного порта (записью TXEN = 0).

Если в программе выполняется команда записи в регистр SPORTx_TX, вызывающая попытку записи ядром процессора в заполненный FIFO передачи, то данные, содержащиеся в FIFO, перезаписаны не будут, и новые данные теряются. При этом устанавливается бит состояния TOVF и генерируется прерывание ошибки SPORT. Бит TOVF – с защёлкиванием; он сбрасывается только при запрещении режима передачи последовательного порта. Чтобы определить, не вызовет ли доступ ядра процессора к регистру SPORTx_TX этот тип ошибки, следует предварительно выполнить чтение регистра состояния. Если в FIFO есть место для дополнительного слова, бит TXF в регистре состояния SPORT равен нулю.

Биты состояния TXF и TOVF обновляются при выполнении ядром процессора записи в регистр состояния SPORTx, даже когда работа последовательного порта запрещена.

Регистр передаваемых данных SPORTx (SPORTx_TX)

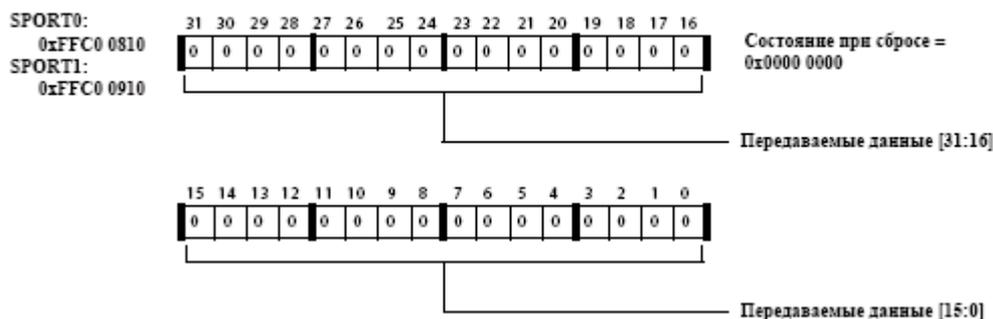


Рис. 12-9. Регистр передаваемых данных SPORTx

12 Контроллеры последовательных портов

Регистр принимаемых данных SPORTx (SPORTx_RX)

Регистр SPORTx_RX доступен только для чтения. Запись в этот регистр вызывает ошибку PAB. Для чтения первичных и вторичных данных выполняется обращение к одному регистру. Чтение этого регистра вызывает чтение из FIFO приёмника. Размер этого 16-разрядного FIFO составляет 8 ячеек для слов, длина которых меньше или равна 16, или 4 ячейки для слов, длина которых больше 16. Буфер FIFO является общим для первичных и вторичных данных. Порядок операций чтения регистра SPORTx_RX по шине PAB/DAB имеет значение, так размещение данных в FIFO зависит от значений битов конфигурации SLEN и RXSE.

Порядок размещения данных в FIFO показан на рис. 12-10.

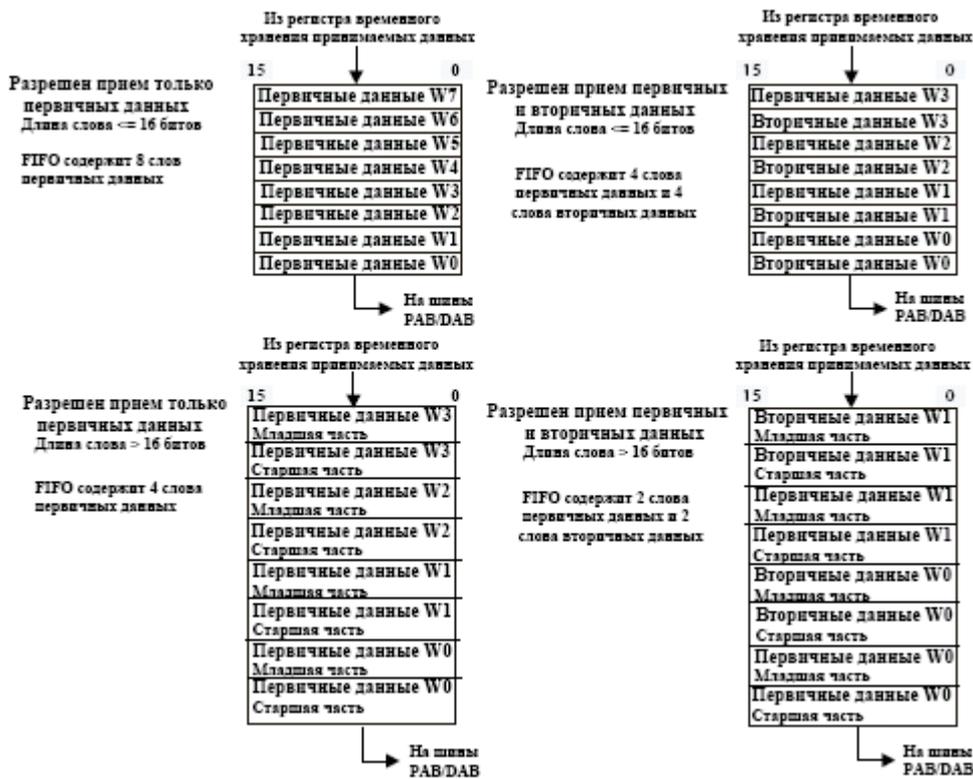


Рис. 12-10. Порядок размещения данных в FIFO приёма последовательного порта

При чтении из FIFO первичных и вторичных данных сначала выполняется чтение первичных данных, затем – вторичных. Команды чтения по шинам DAB/PAB должны согласовываться с длиной слов данных. При использовании длин слов не превышающих 16 следует использовать 16-разрядные операции чтения, для длин слов больше 16 следует использовать 32-разрядные операции чтения.

Когда режим приёма разрешён, данные с вывода DRPRI загружаются в первичный сдвиговый регистр приёма, данные с вывода DRSEC загружаются во вторичный

сдвиговый регистр приёма. По завершении приёма слова данные сдвигаются в регистры временного хранения принимаемых первичных и вторичных данных, соответственно. Данные из регистров временного хранения пересылаются в FIFO в соответствии со значениями бита RXSE и поля SLEN.

Когда RSPEN = 1 и FIFO приёма содержит принятые слова, генерируется прерывание приёма SPORT. Когда ядро процессора завершает чтение всех слов содержащихся в FIFO, прерывание приёма сбрасывается. Это прерывание генерируется, только если запрещён приём последовательного порта в режиме DMA; в противном случае чтение FIFO выполняется при помощи DMA.

Если при выполнении программы ядро процессора пытается выполнить чтение из FIFO приёма, в котором отсутствуют данные, в регистре SPORTx_STAT устанавливается флаг RUVF, и генерируется прерывание ошибки SPORT. Бит RUVF – с защёлкиванием; он сбрасывается только при запрещении работы последовательного порта. Чтобы определить, не вызовет ли обращение ядра процессора к регистру SPORTx_RX этот тип ошибки, следует предварительно выполнить чтение состояния FIFO (бита RXNE в регистре состояния SPORT). Бит RXNE обновляется, даже когда работа последовательного порта запрещена.

Если в сдвиговом регистре приёма собрано новое слово, а данные из регистра временного хранения не были переданы в FIFO, в регистре SPORTx_STAT устанавливается бит состояния ROVF. При этом слово, содержащееся в регистре временного хранения принимаемых данных, перезаписывается новым словом. Бит ROVF – с защёлкиванием; он сбрасывается только при запрещении режима приёма последовательного порта.

Регистр принимаемых данных SPORTx (SPORTx_RX)

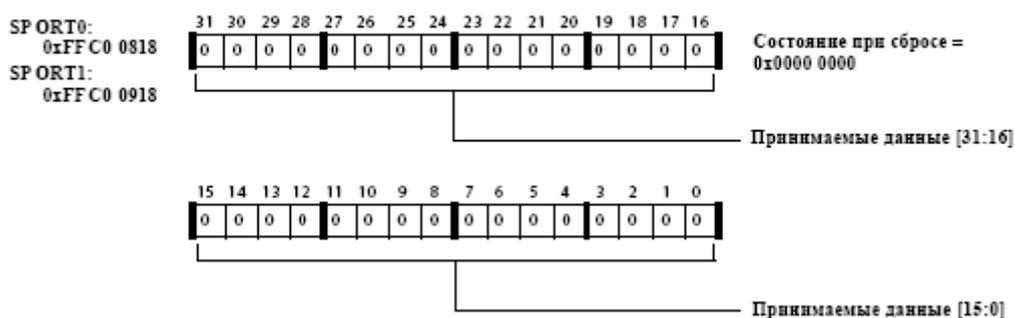


Рис. 12-11. Регистр принимаемых данных SPORTx

Регистр состояния SPORTx (SPORTx_STAT)

Регистр состояния SPORT используется для определения возможности обращения к FIFO приёма или передачи.

12 Контроллеры последовательных портов

Бит TXF регистра состояния SPORT указывает, есть ли место в FIFO передачи. Бит RXNE указывает, есть ли данные в FIFO приёма. Бит TXHRE указывает, пуст ли регистр временного хранения передаваемых данных.

Бит состояния отсутствия данных при передаче (TUVF) устанавливается всякий раз, когда при поступлении сигнала TFS (от внешнего или внутреннего источника) сдвиговый регистр передачи пуст. Генерация внутреннего сигнала TFS в моменты времени, когда буфер SPORTx_TX пуст, может быть запрещена сбросом бита DITFS в регистре конфигурации SPORT. Бит состояния TUVF имеет тип W1C; он также может быть сброшен при запрещении работы последовательного порта (записи TXEN = 0).

В режиме непрерывной передачи (TSFR = 0) бит TUVF устанавливается в конце передачи слова, если в регистре временного хранения передаваемых данных новое слово отсутствует.

Бит TOVF устанавливается, если в момент записи нового слова FIFO передачи заполнен. Этот бит имеет тип W1C; он также сбрасывается при записи в бит TXEN значения 0. Биты TXF и TOVF обновляются, даже если работа последовательного порта запрещена.

Бит состояния переполнения при приёме (ROVF) устанавливается, если в сдвиговый регистр поступает новое слово, когда регистр временного хранения принимаемых данных заполнен. Этот бит имеет тип W1C; он также сбрасывается при запрещении работы последовательного порта (записи в бит RXEN значения 0).

Бит RUVF устанавливается, если выполняется попытка чтения из FIFO приёма, когда в нём отсутствуют данные. Этот бит имеет тип W1C; он также сбрасывается при записи в бит RXEN значения 0. Бит RUVF обновляется, даже когда работа последовательного порта запрещена.

Регистр состояния SPORTx (SPORTx_STAT)

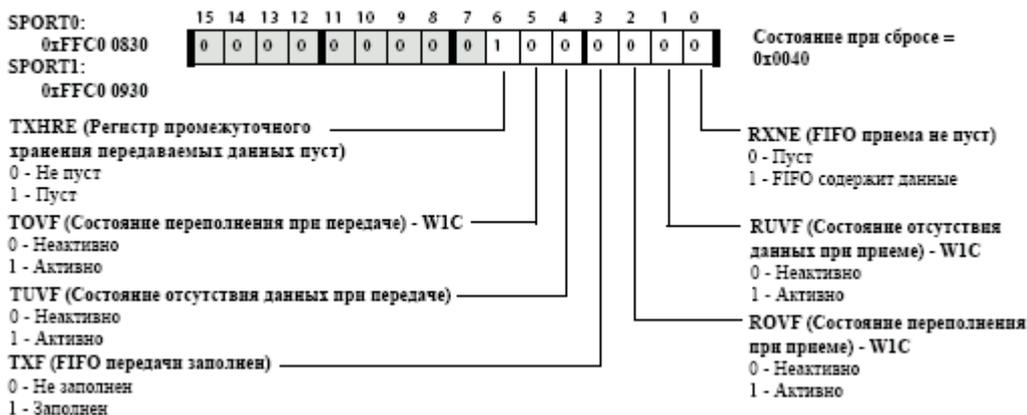


Рис. 12-12. Регистр состояния SPORTx

Прерывания ошибки, приёма и передачи последовательного порта

Прерывание приёма последовательного порта генерируется, когда установлен бит `RSPEN`, и в FIFO приёма есть данные. Если разрешён приём в режиме DMA, прерывание приёма последовательного порта не генерируется, и чтение из FIFO приёма выполняется при помощи DMA.

Прерывание передачи последовательного порта генерируется, когда установлен бит `TSPEN`, и в FIFO передачи есть место для нового слова. Если разрешена передача в режиме DMA, прерывание передачи последовательного порта не генерируется, и запись в FIFO передачи выполняется при помощи DMA.

Прерывание ошибки последовательного порта генерируется, когда устанавливается любой из битов состояния с защёлкиванием (`ROVF`, `RUVF`, `TOVF`, `TUVF`). Биты `ROVF` и `RUVF` сбрасываются записью нуля в бит `RSPEN`. Биты `TOVF` и `TUVF` сбрасываются записью нуля в бит `TSPEN`.

Ошибки PAB

SPORT генерирует ошибку PAB при выполнении запрещённых операций чтения или записи регистров. К таким операциям относятся:

- чтение регистра, доступного только для записи (например, `SPORTx_TX`);
- запись в регистр, доступный только для чтения (например, `SPORTx_RX`);
- запись или чтение регистра при помощи команды, не согласованной с разрядностью данных (например, 32-разрядное чтение 16-разрядного регистра);
- обращение к зарезервированным ячейкам памяти в пространстве регистров.

Регистры делителей частоты тактовой синхронизации приёма (`SPORTx_RCLKDIV`) и передачи (`SPORTx_TCLKDIV`) SPORTx

Частота внутренне генерируемого сигнала тактовой синхронизации является функцией от тактовой частоты системы (`SCLK`) и значения 16-разрядных регистров делителей частоты тактовой синхронизации (`SPORTx_TCLKDIV` и `SPORTx_RCLKDIV`).



Рис. 12-13. Регистр делителя частоты тактовой синхронизации передачи `SPORTx`

12 Контроллеры последовательных портов



Рис. 12-14. Регистр делителя частоты тактовой синхронизации приёма SPORT_x

Регистры делителей частоты кадровой синхронизации приёма (SPORT_x_RFSDIV) и передачи (SPORT_x_TFSDIV) SPORT_x

Эти 16-разрядные регистры определяют, через сколько тактов сигнала тактовой синхронизации приёма или передачи будет сгенерирован импульс RFS или TFS при внутренней кадровой синхронизации. В этом случае кадровая синхронизация может применяться для инициации периодических передач. Сигнал тактовой синхронизации, используемый для формирования импульсов RFS или TFS, может генерироваться внутри процессора или поступать от внешнего источника.



Рис. 12-15. Регистр делителя частоты кадровой синхронизации передачи SPORT_x



Рис. 12-16. Регистр делителя частоты кадровой синхронизации приёма SPORT_x

Частоты кадровой и тактовой синхронизации

Максимальная частота тактовой синхронизации (при использовании внутреннего или внешнего источника) равна $SCLK/2$. Частота внутреннего сигнала тактовой синхронизации является функцией от тактовой частоты системы ($SCLK$) и значения 16-разрядных регистров коэффициентов деления частоты тактовой синхронизации ($SPORTx_TCLKDIV$ и $SPORTx_RCLKDIV$).

$$\text{Частота } SPORTx_TCLK = (\text{Частота } SCLK) / (2 \times (SPORTx_TCLKDIV + 1))$$

$$\text{Частота } SPORTx_RCLK = (\text{Частота } SCLK) / (2 \times (SPORTx_RCLKDIV + 1))$$

Если в режиме внутренней генерации сигнала тактовой синхронизации задаётся новое значение регистра $SPORTx_TCLKDIV$ или $SPORTx_RCLKDIV$, изменение частоты вступает в силу в начале активного фронта сигнала $TSCLK$ или $RSCLK$, следующего за передним фронтом TFS или RFS .

Если задана внутренняя генерация сигнала кадровой синхронизации ($ITFS = 1$ в регистре $SPORTx_TCR1$ или $IRFS = 1$ в регистре $SPORTx_RCR1$) и кадровая синхронизация не требуется, при изменении значения регистра $SPORTx_TCLKDIV$ или $SPORTx_RCLKDIV$ значение делителя по первому импульсу кадровой синхронизации не обновляется. Обновление произойдёт по второму импульсу кадровой синхронизации.

Регистры $SPORTx_RFSDIV$ и $SPORTx_TFSDIV$ определяют, через сколько тактов сигнала тактовой синхронизации приёма или передачи будет сгенерирован импульс RFS или TFS при внутренней кадровой синхронизации. В этом случае кадровая синхронизация может применяться для инициации периодических передач. Сигнал тактовой синхронизации, используемый для формирования импульсов RFS или TFS , может генерироваться внутри процессора или поступать от внешнего источника.

Формула, которая определяет число тактов между импульсами кадровой синхронизации:

Число тактов сигнала тактовой синхронизации передачи между импульсами кадровой синхронизации = $TFSDIV + 1$

Число тактов сигнала тактовой синхронизации приёма между импульсами кадровой синхронизации = $RFSDIV + 1$

Для определения допустимого значения $TFSDIV$ или $RFSDIV$ при заданных значениях частоты тактовой синхронизации требуемой частоты кадровой синхронизации используются следующие выражения:

$$\text{Частота } SPORTxTFS = (\text{Частота } TSCLKx) / (SPORTx_TFSDIV + 1)$$

$$\text{Частота } SPORTxRFS = (\text{Частота } RSCLKx) / (SPORTx_RFSDIV + 1)$$

12 Контроллеры последовательных портов

Импульсы кадровой синхронизации приёма/передачи при $RFSDIV/TFSDIV = 0$ следовали бы непрерывно. Однако, значение $TFSDIV$ (или $RFSDIV$) не может быть меньше, чем длина последовательно передаваемого слова минус 1 (т.е. значения поля $SLEN$ в регистрах $SPORTx_TCR2$ или $SPORTx_RCR2$). Задание меньшего значения может привести к прерыванию текущей операции внешнего устройства или другим непредсказуемым результатам. Если последовательный порт не используется, $TFSDIV$ (или $RFSDIV$) может применяться как счётчик для деления внешней частоты тактовой синхронизации или для генерации периодических импульсов и прерываний. Для реализации этих функций работа последовательного порта должна быть разрешена.

Ограничения на максимальную частоту тактовой синхронизации

При работе в режиме поздней генерации сигнала кадровой синхронизацией передачи между импульсом кадровой синхронизации и выдачей данных существует задержка, которая может ограничивать максимальную скорость последовательного порта. Точные значения временных параметров см. в *ADSP-BF531/ADSP-BF532/ADSP-BF533 Embedded Processor Data Sheet*.

Пример задания частот кадровой и тактовой синхронизации

Следующий фрагмент программы демонстрирует процедуру задания частот тактовой и кадровой синхронизации.

```
r0 = 0x00FF;
p0.l = SPORT0_RFSDIV & 0xFFFF;
p0.h = (SPORT0_RFSDIV >> 16) & 0xFFFF;
w[p0] = r0.l; ssync;
p0.l = SPORT0_TFSDIV & 0xFFFF;
w[p0] = r0.l; ssync;
```

Длина слова

Каждый канал последовательного порта (приёмный или передающий) независимо обрабатывает слова длиной от 3 до 32 битов. Если длина слова меньше 32 битов, оно выравнивается по правой границе в регистрах данных последовательного порта. Длина слова определяется значением поля длины слова ($SLEN$) в регистрах $SPORTx_TCR2$ и $SPORTx_RCR2$ в соответствии со следующей формулой:

Длина последовательно передаваемого слова = $SLEN + 1$



Значение поля $SLEN$ может задаваться в диапазоне от 2 до 31; задание значений 0 и 1 недопустимо. В режиме непрерывных передач (когда первый бит слова следует сразу за последним битом предыдущего слова) размер слова должен быть не меньше четырёх (т.е. $SLEN \geq 3$).

Порядок передачи битов

Передача слова может начинаться со старшего (MSB) или младшего (LSB) бита. Порядок передачи выбирается битами RLSBIT и TLSBIT в регистрах SPORTx_RCR1 и SPORTx_TCR1. Когда RLSBIT (или TLSBIT) = 0, слова последовательно принимаются (передаются), начиная со старшего бита. Когда RLSBIT (или TLSBIT) = 1, слова последовательно принимаются (передаются), начиная с LSB.

Тип данных

Поле TDTYPE регистра SPORTx_TCR1 и поле RDTYPE регистра SPORTx_RCR1 задают один из четырёх форматов данных для работы в одноканальном и многоканальном режиме (см. таблицу 12-2).

Таблица 12-2. TDTYPE, RDTYPE и форматы данных

TDTYPE или RDTYPE	Формат данных SPORTx_TCR1	Формат данных SPORTx_RCR1
00	Нормальная работа	Данные дополняются нулями
01	Зарезервировано	Данные дополняются знаковыми битами
10	Компандирование по μ -закону	Компандирование по μ -закону
11	Компандирование по A-закону	Компандирование по A-закону

Перечисленные форматы применяются к последовательно передаваемым словам данных, загружаемым в буферы SPORTx_RX и SPORTx_TX. Данные в SPORTx_TX не дополняются нулями или знаковыми битами, так как передаются только значащие биты.

Компандирование

Компандирование (compadding, сокращение от COMpressing (сжатие) и exPANDing (расширение)) – это процесс логарифмического кодирования и декодирования с целью уменьшения числа бит передаваемых данных. Последовательные порты ADSP_2106x поддерживают два наиболее распространенных алгоритма компандирования: по μ -закону и A-закону. Процессор компандирует данные согласно спецификации МККТТ (ССИТТ) G.711. Тип компандирования может выбираться независимо для каждого последовательного порта.

Когда компандирование разрешено, действительным значением регистра SPORTx_RX является выровненное по правой границе, дополненное по знаку, расширенное значение восьми принятых младших битов (LSB). Запись в регистр SPORTx_RX вызывает сжатие 16-разрядного значения до восьми LSB (дополненных по знаку до размера передаваемого слова) и запись во внутренний регистр передачи. Несмотря на то, что максимальные длины слов, поддерживаемые стандартами компандирования, составляют 13 (при компандировании по A-закону) или 14 (при компандировании по μ -закону), могут

12 Контроллеры последовательных портов

использоваться слова длиной до 16 битов. Если модуль величины слова превышает допустимое максимальное значение, оно автоматически сжимается до максимального положительного или отрицательного значения.

При компандировании не поддерживаются слова, длина которых превышает 16 битов.

Опции тактовой синхронизации

Каждый последовательный порт имеет сигналы тактовой синхронизации передачи (TSCLK) и приёма (RSCLK). Параметры сигналов тактовой синхронизации определяются битами TCKFE и RCKFE в регистрах SPORT_x_TCR1 и SPORT_x_RCR1. Частоты сигналов тактовой синхронизации задаются значениями в регистрах SPORT_x_TCLKDIV и SPORT_x_RCLKDIV.



Выводы тактовой синхронизации приёма и передачи могут соединяться вместе, если необходимо, чтобы приём и передача данных осуществлялись на одной частоте.

Сигналы тактовой синхронизации передачи и приёма могут независимо генерироваться внутри процессора или приниматься от внешнего источника. Источник сигнала задаётся битами ITCLK и IRCLK в регистрах конфигурации SPORT_x_TCR1 и SPORT_x_RCR1, соответственно.

Когда IRCLK или ITCLK = 1, сигнал тактовой синхронизации генерируется ядром процессора; выводы TSCLK или RSCLK при этом являются выходными. Частота тактовой синхронизации определяется значением коэффициента деления в регистре SPORT_x_RCLKDIV.

Когда IRCLK или ITCLK = 0, сигнал тактовой синхронизации принимается на выводах TSCLK или RSCLK, и коэффициенты деления в регистрах SPORT_x_TCLKDIV/SPORT_x_RCLKDIV не учитываются. Внешние сигналы тактовой синхронизации могут быть асинхронными по отношению к тактовой частоте системы или по отношению друг к другу. Частота сигналов RSCLK и TSCLK должна быть ниже тактовой частоты системы.

Опции кадровой синхронизации

Сигналы кадровой синхронизации указывают на начало передачи каждого слова. Сигналы кадровой синхронизации каждого из последовательных портов называются TFS (кадровая синхронизация передачи) или RFS (кадровая синхронизация приёма). Доступен ряд опций кадровой синхронизации, которые определяются в регистрах конфигурации последовательного порта (SPORT_x_TCR1, SPORT_x_TCR2, SPORT_x_RCR1 и SPORT_x_RCR2). Сигналы TFS и RFS независимы и раздельно конфигурируются в регистрах управления.

Передача данных с кадровой синхронизацией и без неё

Использование сигналов кадровой синхронизации не является обязательным при организации связи через последовательные порты. Биты управления TFSR (требование кадровой синхронизации передачи) и RFSR (требование кадровой синхронизации приема) определяют, требуются ли сигналы кадровой синхронизации. Эти биты находятся в регистрах SPORTx_TCR1 и SPORTx_RCR1.

Когда TFSR=1 или RFSR=1, сигнал кадровой синхронизации требуется в начале передачи или приема каждого слова данных. Для обеспечения режима непрерывной передачи последовательного порта каждое слово данных должно загружаться в регистр SPORTx_TX до того, как предыдущее слово поступает в регистр сдвига и передается.

Когда TFSR = 0 или RFSR = 0, соответствующие сигналы кадровой синхронизации не требуются. Один импульс кадровой синхронизации необходим только для инициации передач; после передачи первого бита сигнал кадровой синхронизации игнорируется. Затем слова передаются постоянно без кадровой синхронизации.



При работе без кадровой синхронизации, запросы прерываний или DMA могут обслуживаться недостаточно часто, не обеспечивая непрерывный поток данных. Для обнаружения переполнения или отсутствия данных следует проверять бит состояния или использовать прерывание ошибки DMA.

На рис. 12-17 показана передача с кадровой синхронизацией, которая имеет следующие характеристики:

- Биты TFSR и RFSR в регистрах SPORTx_TCR1 и SPORTx_RCR1 задают режим работы с кадровой синхронизацией и без нее.
- В режиме с кадровой синхронизацией сигнал кадровой синхронизации требуется для каждого слова. В режиме без кадровой синхронизации этот сигнал игнорируется сразу после начала передачи первого слова.
- Режим без кадровой синхронизации подходит для непрерывного приема.
- Активный высокий и активный низкий уровни сигнала кадровой синхронизации определяются битами LTFS и LRFS в регистрах SPORTx_TCR1 и SPORTx_RCR1.

Дополнительные примеры см. в разделе “Примеры временных диаграмм”

12 Контроллеры последовательных портов

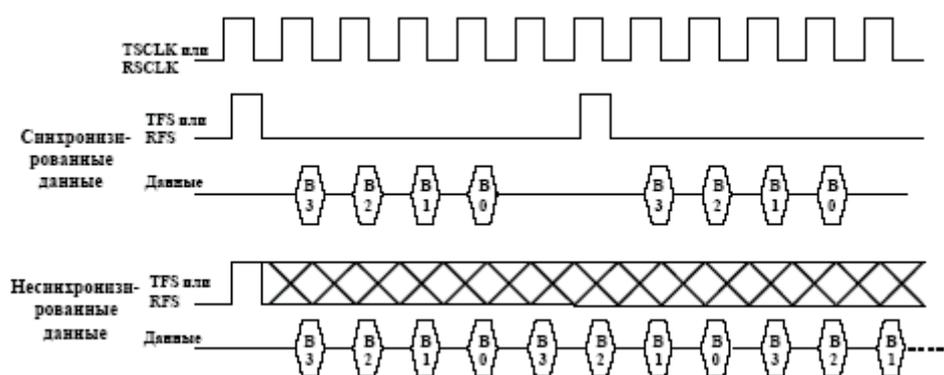


Рис. 12-17. Передача данных с кадровой синхронизацией и без неё

Внутренние и внешние сигналы кадровой синхронизации

Сигналы кадровой синхронизации передачи и приема могут независимо генерироваться процессором или поступать от внешнего источника. Биты $ITFS$ и $IRFS$ в регистрах $SPORTx_TCR1$ и $SPORTx_RCR1$ определяют источник этих сигналов.

При $ITFS = 1$ или $IRFS = 1$ соответствующий сигнал кадровой синхронизации генерируется внутри процессора и подается на выходы TFS или RFS . Частота этих сигналов определяется величиной коэффициента деления частоты кадровой синхронизации в регистрах $SPORTx_TFSDIV$ или $SPORTx_RFSDIV$.

При $ITFS = 0$ или $IRFS = 0$ соответствующий сигнал кадровой синхронизации принимается по входам TFS или RFS , а коэффициент деления частоты кадровой синхронизации в регистрах $SPORTx_TFSDIV/SPORTx_RFSDIV$ не учитывается.

Все опции кадровой синхронизации доступны и при внутренней и при внешней генерации сигнала.

Активный высокий и активный уровень кадровой синхронизации

Сигналы кадровой синхронизации могут быть активными по высокому уровню или по низкому уровню (т. е. инвертированы). Биты $LTFS$ и $LRFS$ регистров $SPORTx_TCR1$ и $SPORTx_RCR1$ определяют логический уровень сигналов кадровой синхронизации:

- Когда $LTFS = 0$ или $LRFS = 0$, соответствующий сигнал кадровой синхронизации активен по высокому уровню.
- Когда $LTFS = 1$ или $LRFS = 1$, соответствующий сигнал кадровой синхронизации активен по низкому уровню.

Активным уровнем сигналов кадровой синхронизации по умолчанию является высокий; биты LTFS и LRFS после сброса процессора устанавливаются в 0.

Выбор фронта для опроса данных и сигнала кадровой синхронизации

Данные и сигналы кадровой синхронизации могут опрашиваться по переднему или по заднему фронту сигналов тактовой синхронизации последовательного порта. Фронты, по которым производится опрос и выдача данных и сигналов кадровой синхронизации, определяются битами TCKFE и RCKFE в регистрах SPORT_x_TCR1 и SPORT_x_RCR1.

При установке TCKFE = 1 в регистре SPORT_x_TCR1 данные и внутренний сигнал кадровой синхронизации при передаче выдаются по заднему фронту TSCLK_x, опрос внешних сигналов кадровой синхронизации выполняется по переднему фронту TSCLK_x. При установке TCKFE = 0 данные и внутренний сигнал кадровой синхронизации выдаются по переднему фронту TSCLK_x, опрос внешних сигналов кадровой синхронизации выполняется по заднему фронту TSCLK_x.

При установке RCKFE = 1 в регистре SPORT_x_RCR1 внутренний сигнал кадровой синхронизации при приёме выдаётся по заднему фронту RSCLK_x, опрос данных и внешних сигналов кадровой синхронизации выполняется по переднему фронту RSCLK_x. При установке RCKFE = 0 внутренний сигнал кадровой синхронизации выдаётся по переднему фронту RSCLK_x, опрос данных и внешних сигналов кадровой синхронизации выполняется по заднему фронту RSCLK_x.



Необходимо отметить, что поступающие от внешнего источника данные и сигналы кадровой синхронизации должны изменять свое состояние по фронту, противоположному тому, который выбран для опроса. Например, если внешний сигнал кадровой синхронизации опрашивается по переднему фронту сигнала тактовой синхронизации (TCKFE = 1 в регистре SPORT_x_TCR1), он должен выдаваться источником по заднему фронту сигнала тактовой синхронизации.

Для реализации функций приема и передачи двух последовательных портов, соединенных вместе, следует всегда устанавливать одинаковые значения бита TCKFE в передатчике и RCKFE в приёмнике, чтобы передатчик выдавал данные по одному фронту, а приёмник опрашивал их по другому фронту.

На рис. 12-18 TCKFE = RCKFE = 0, приёмник и передатчик соединены вместе и используют одну пару сигналов тактовой и кадровой синхронизации.

12 Контроллеры последовательных портов

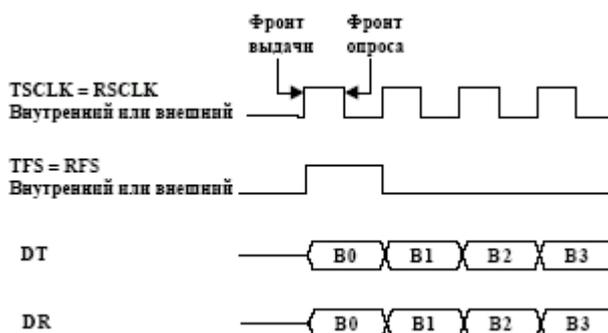


Рис. 12-18. Пример соединения приёмника и передатчика
(TCKFE = RCKFE = 0)

На рис. 12-18 TCKFE = RCKFE = 1, приёмник и передатчик соединены вместе и используют одну пару сигналов тактовой и кадровой синхронизации.

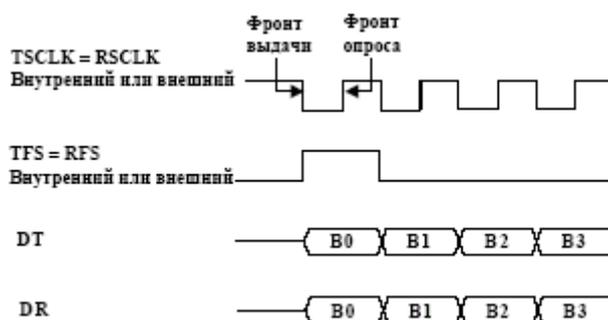


Рис. 12-19. Пример соединения приёмника и передатчика
(TCKFE = RCKFE = 1)

Ранняя и поздняя (нормальная и альтернативная) генерация сигнала кадровой синхронизации

Сигнал кадровой синхронизации может генерироваться вместе с первым битом каждого слова данных (поздняя генерация) или в цикле, непосредственно предшествующем первому биту (ранняя генерация). Эта опция определяется битами LATFS и LARFS в регистрах SPORTx_TCR1 и SPORTx_RCR1.

Когда LATFS = 0 или LARFS = 0, задан режим ранней генерации сигнала кадровой синхронизации, т.е. нормальный режим. В этом режиме первый бит передаваемого слова данных выдается (первый бит принимаемого слова данных опрашивается) в следующем цикле тактовой синхронизации после установки активного уровня сигнала кадровой синхронизации. Сигналы кадровой синхронизации не проверяются далее до окончания передачи или приема всего слова данных. В многоканальном режиме это эквивалентно задержке многоканального кадра на 1 такт.

Если в режиме ранней генерации сигнала кадровой синхронизации прием или передача данных осуществляется непрерывно (т. е. за последним битом каждого слова без перерыва следует первый бит следующего слова), то активный уровень сигнала кадровой синхронизации должен устанавливается вместе с последним битом каждого слова. Внутренне генерируемый сигнал кадровой синхронизации в режиме ранней синхронизации сохраняет активный уровень в течение одного такта сигнала тактовой синхронизации. При непрерывной передаче длина слова должна быть не меньше четырёх ($SLEN \geq 3$).

Когда $LATFS = 1$ или $LARFS = 1$, задан режим поздней генерации сигнала кадровой синхронизации, т. е. альтернативный режим. В этом режиме первый бит передаваемого слова данных выдаётся (первый бит принимаемого слова данных опрашивается) в том же самом цикле тактовой синхронизации, в котором устанавливается уровень сигнала кадровой синхронизации. В многоканальном режиме это эквивалентно задержке многоканального кадра на 0 тактов. Биты принимаемых данных опрашиваются по фронту импульса тактовой синхронизации; сигнал кадровой синхронизации проверяется только в течение первого бита каждого слова. Внутренне генерируемый сигнал кадровой синхронизации в режиме поздней генерации сохраняет активный уровень на время приема или передачи целого слова данных. Внешне генерируемый сигнал кадровой синхронизации проверяется только во время передачи или приема первого бита.

На рис. 12-20 показаны два режима кадровой синхронизации:

- Установка битов $LATFS$ и $LARFS$ в регистрах $SPORTx_TCR1$ и $SPORTx_RCR1$: $LATFS = 0$ или $LARFS = 0$ для ранней кадровой синхронизации, $LATFS = 1$ или $LARFS = 1$ для поздней кадровой синхронизации.
- В режиме ранней генерации сигнал кадровой синхронизации генерируется за один такт до того, как передаются данные. В режиме поздней генерации сигнал кадровой синхронизации проверяется только при передаче или приеме первого бита.
- Передача данных начинается с MSB ($TLSEBIT = 0$ или $RLSEBIT = 0$) или с LSB ($TLSEBIT = 1$ или $RLSEBIT = 1$).
- Внутренняя или внешняя генерация сигналов кадровой и тактовой синхронизации.

Дополнительные примеры см. в разделе “Примеры временных диаграмм”

12 Контроллеры последовательных портов

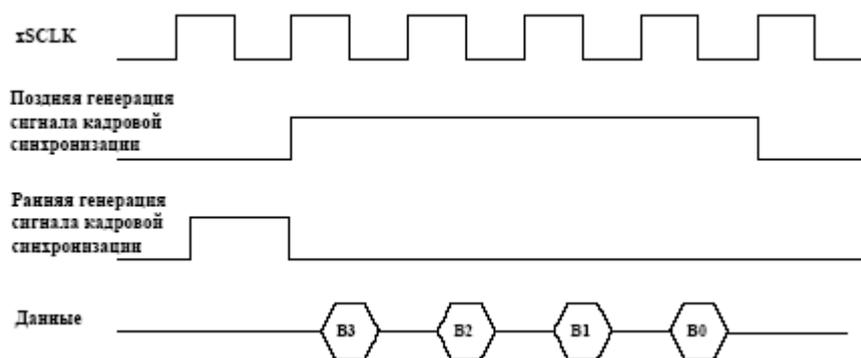


Рис. 12-20. Нормальный и альтернативный режимы кадровой синхронизации

Независящая от данных кадровая синхронизация передачи

Обычно внутренний сигнал кадровой синхронизации передачи (TFS) выдаётся только, когда буфер `SPORTx_TX` содержит готовые к передаче данные. При выборе режима независимой от данных генерации сигнала кадровой синхронизации передачи обеспечивается непрерывная генерация сигнала TFS при наличии или в отсутствие новых данных. Эта опция управляется битом `DITFS` в регистре `SPORTx_TCR`.

При `DITFS = 0` внутренне генерируемый сигнал TFS выдаётся только, когда новое слово данных загружается в буфер `SPORTx_TX`. В этом режиме передача разрешается только при наличии новых данных.

При `DITFS = 1` внутренне генерируемый сигнал TFS выдаётся через запрограммированный интервал времени независимо от наличия новых данных в буфере `SPORTx_TX`. Любые находящиеся в `SPORTx_TX` данные будут передаваться по каждому активному импульсу сигнала TFS. Если при этом будут повторно переданы старые данные, то установится бит состояния отсутствия данных при передаче (`TUVF`) в регистре управления `SPORTx_STAT`. Бит состояния `TUVF` также устанавливается, если при поступлении сигнала TFS, генерируемого внешним устройством, в буфере `SPORTx_TX` отсутствуют новые данные. Необходимо отметить, что в этом режиме работы данные передаются в определённые интервалы времени. Если используется внутренне генерируемый сигнал TFS, для запуска передач требуется однократная запись в регистр `SPORTx_TX`.

Обмен данными между последовательными портами и памятью

Передаваемые и принимаемые данные могут перемещаться между последовательными портами и внутренней памятью одним из двух способов – с использованием передач одиночных слов данных или передачи блоков данных при помощи DMA.

Если работа канала DMA последовательного порта запрещена, то SPORT генерирует прерывание каждый раз, когда он принимает или начинает передачу слов данных. Режим DMA через последовательный порт обеспечивает механизм для приема или передачи отдельного блока или нескольких блоков данных перед генерированием прерывания. Контроллер DMA последовательного порта управляет передачами в режиме DMA, позволяя ядру процессора продолжать выполнение программы, пока весь блок данных не будет передан или принят. При этом программы обслуживания прерываний работают с блоком данных, а не с отдельными словами, что значительно снижает непроизводительные затраты.

Дополнительную информацию о DMA см. в главе 9, “Прямой доступ к памяти”.

Работа в режиме последовательной передачи стереозвука

Последовательный порт поддерживает несколько режимов последовательной передачи стереозвука, включая популярный формат I²S. Для использования этих режимов следует устанавливать биты регистров SPORT_RCR2 или SPORT_TCR2. Установка битов RSFSE или TSFSE изменяет режим использования выводов кадровой синхронизации на ввод/вывод сигнала LRCLK, необходимого в режиме I²S и режиме последовательной передачи стереозвука с выравниванием данных по левой границе. Все остальные биты управления последовательным портом остаются действительными и должны настраиваться соответствующим образом. На рис. 12-21 и 12-22 показаны временные диаграммы в режиме последовательной передачи стереозвука.

В таблице 12-3 показано несколько режимов, задаваемых битами регистров SPORTx_TCR1 и SPORTx_RCR1. В таблице показаны настройки битов для приёмной части последовательного порта, для настройки передающей части используются те же биты. Поля, изменяемые пользователем без изменения стандарта, обозначаются символом “X”.

Таблица 12-3. Настройки битов в режиме последовательного стерео

Бит	Режим последовательных передач стереозвука		
	I ² S	Передача с выравниванием данных по левой границе	Режим DSP
RSFSE	1	1	0
RRFST	0	0	0
LARFS	0	1	0
LRFS	0	1	0
RFSR	1	1	1
RCKFE	1	0	0
SLEN	2 – 31	2 – 31	2 – 31
RLSBIT	0	0	0
RFSDIV (Если выбрана внутренняя кадровая синхронизация)	2 – Max	2 – Max	2 – Max
RXSE (Разрешение вторичных выводов доступно при приёме и передаче)	X	X	X

12 Контроллеры последовательных портов

Следует отметить, что большинство битов, для которых в таблице 12-3 указано значение 0 или 1, могут изменяться пользователем; при этом создаются “почти стандартные” режимы последовательных передач стереозвука. Эти режимы могут использоваться для реализации соединения с кодеками, интерфейсы которых несколько отличаются от стандартных. При использовании настроек, указанных в таблице 12-3, реализация интерфейса со многими популярными кодеками не требует дополнительных компонентов.

Необходимо отметить, что значение $TFSDIV$ или $RFSDIV$ должно быть больше или равно $SLEN$. В режиме I^2S $RFSDIV$ или $TFSDIV$ обычно равны $1/64$ частоты тактовой синхронизации. Когда бит $RFSFE$ установлен, формулы для вычисления периода и частоты кадровой синхронизации (приведённые в разделе “Частоты кадровой и тактовой синхронизации”) действительны, однако в этом случае по ним рассчитывается половина периода или удвоенная частота. Например, при $RFSDIV$ или $TFSDIV = 31$ сигнал $LRCLK$ изменяет состояние один раз в каждые 32 такта сигнала тактовой синхронизации; период сигнала $LRCLK$ в этом случае равен 64 тактам сигнала тактовой синхронизации.

Бит $LRFS$ в этом режиме определяет полярность сигнала на выводе кадровой синхронизации (активный уровень соответствует “правому” каналу). Установка $LRFS = 0$ означает, что низкий уровень сигнала на выводе RFS или TFS соответствует левому каналу. По умолчанию бит $LRFS$ равен нулю.

Биты $RRFST$ и $TRFST$ определяют, слово какого канала передаётся (принимается) первым. Если бит установлен, первое передаваемое (принимаемое) слово соответствует правому каналу. По умолчанию первым передаётся (принимается) слово левого канала.

В режиме последовательной передачи стереозвука могут использоваться вторичные выходы $DRxSEC$ и $DTxSEC$; при этом по одному последовательному порту может передаваться или приниматься несколько потоков I^2S . Следует отметить, что первичные и вторичные выходы работают синхронно, так как они используют одну пару сигналов тактовой синхронизации и $LRCLK$ (кадровой синхронизации). Передающая и приёмная часть последовательного порта могут работать асинхронно, однако в некоторых схемах возможно применение общего сигнала тактовой синхронизации при приёме и передаче. На рис. 12-3 показан пример соединения процессора с кодеком $AD1836$, реализующего последовательную передачу нескольких потоков стереозвука.

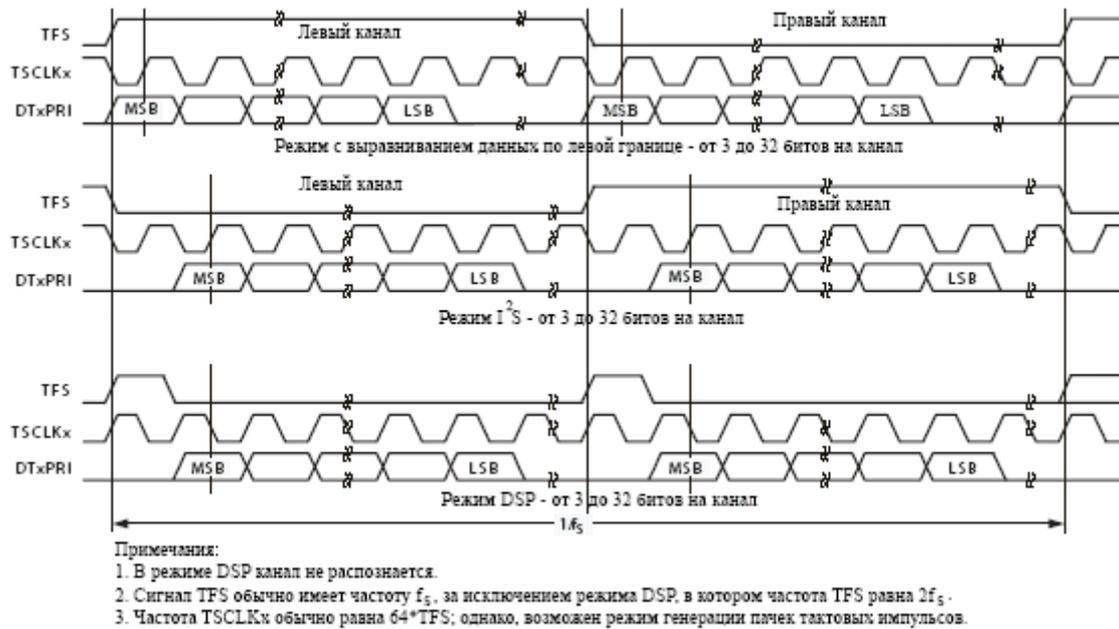


Рис. 12-21. Режимы последовательных передач стереозвука, передача

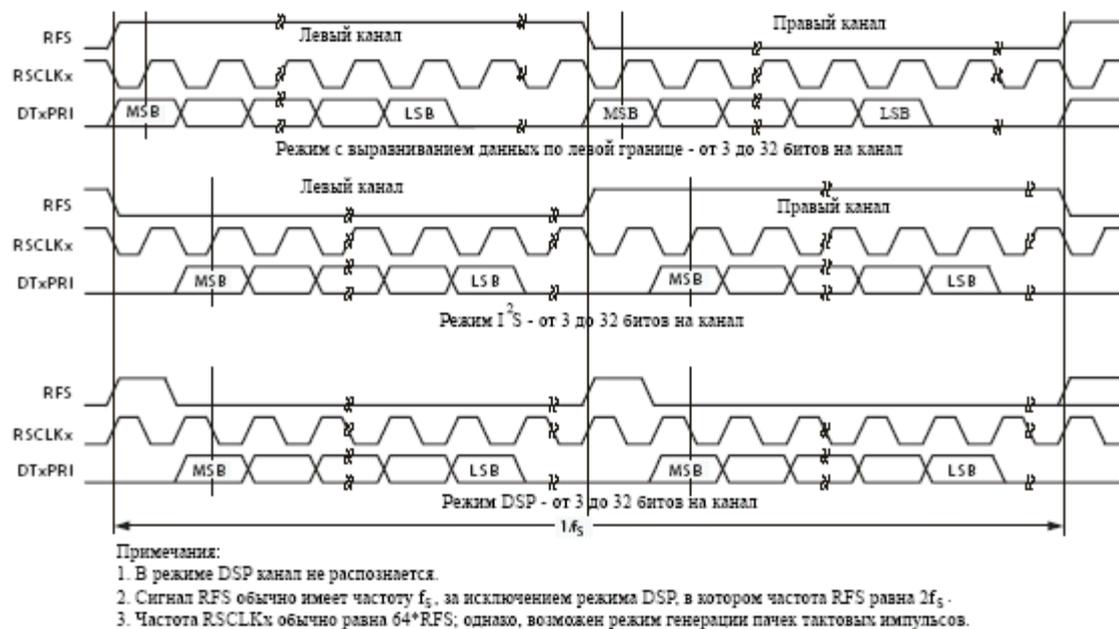


Рис. 12-22. Режимы последовательных передач стереозвука, приём

Работа в многоканальном режиме

Последовательные порты могут работать в многоканальном режиме, который позволяет реализовывать связь через SPORT в системе с временным разделением каналов. При работе в многоканальном режиме каждое слово данных в последовательно передаваемом битовом потоке принадлежит определённому каналу. Каждое последующее слово принадлежит следующему каналу; например, блок данных из 24 слов содержит по одному слову для каждого из 24 каналов.

12 Контроллеры последовательных портов

Последовательный порт может автоматически выбирать слова определённых каналов, игнорируя при этом другие каналы. Для передачи и приёма доступны 128 каналов, причём каждый SPORT может принимать и передавать данные выборочно по любому из 128 каналов. Эти 128 каналов могут быть любыми идущими подряд каналами из полного набора 1024 каналов. При приёме и передаче должна использоваться одна и та же область из 128 каналов. Для каждого из каналов SPORT может выполняться следующее:

- Передавать данные;
- Принимать данные;
- Передавать и принимать данные;
- Ничего не делать.

В многоканальном режиме также могут использоваться компандирование и передачи при помощи DMA.

Если работа последовательного порта разрешена ($TSPEN = 1$ в регистре $SPORTx_TCR1$), вывод $DTPRI$ всегда управляется (т.е. не переводится в третье состояние), за исключением неактивных временных интервалов в многоканальном режиме. Если разрешена работа последовательного порта и использование вторичных выводов ($TXSE = 1$ в регистре $SPORTx_TCR2$), вывод $DTSEC$ всегда управляется (т.е. не переводится в третье состояние), за исключением неактивных временных интервалов в многоканальном режиме.

В многоканальном режиме сигнал $RSCLK$ может поступать от внешнего источника или генерироваться внутренне, и используется и для приёма, и для передачи. Если последовательный порт используется только в многоканальном режиме, следует оставить вывод $TSCLK$ несоединённым. При использовании внутреннего или внешнего сигнала $RSCLK$ он внутренне подаётся и на передатчик, и на приёмник.

- ⊘ Перед разрешением приёма или передачи в многоканальном режиме необходимо запрограммировать регистры выбора многоканального режима приёма и передачи последовательного порта. Это особенно важно при работе в режиме “передачи без упаковки данных по DMA”, так как работа FIFO последовательного порта начинается сразу после установки битов $RSPEN$ и $TSPEN$, разрешающих передачу и приём. Перед разрешением приёма или передачи должен быть установлен бит $MCMEN$ (в регистре $SPORTx_MCM2$). При запрещении работы порта в многоканальном режиме необходимо предварительно сбросить биты $TXEN$ и $RXEN$. Следует отметить, что перед повторным разрешением многоканального режима биты $TXEN$ и $RXEN$ должны быть сброшены. Раздельное запрещение только приёма или только передачи недопустимо.

На рис. 12-23 показаны пример временной диаграммы для передачи в многоканальном режиме со следующими параметрами:

- Используется метод TDM, когда данные передаются или принимаются по различным каналам, через одну совместно используемую последовательную шину.
- Каналы для передачи и приёма могут выбираться независимо.
- Сигнал RFS указывает начало кадра.

- TFS используется как сигнал “Передаваемые данные достоверны” для внутренней логики; он активен только при передаче.
- Принимаются каналы 0 и 2, передаются каналы 1 и 2.
- Задержка многоканального кадра равна 1.

Дополнительные примеры см. в разделе “Примеры временных диаграмм”.

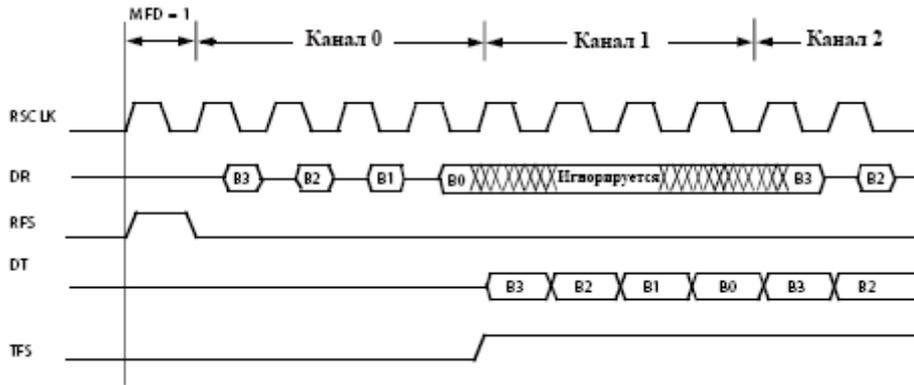


Рис. 12-23. Работа в многоканальном режиме

Регистры конфигурации многоканального режима SPORTx (SPORTx_MCMCn)

Каждый последовательный порт имеет два регистра `SPORTx_MCMCn`, которые используются для конфигурирования многоканального режима работы (показаны на рис 12-24 и 12-25).

Регистр конфигурации многоканального режима `SPORTx 1 (SPORTx_MCMC1)`

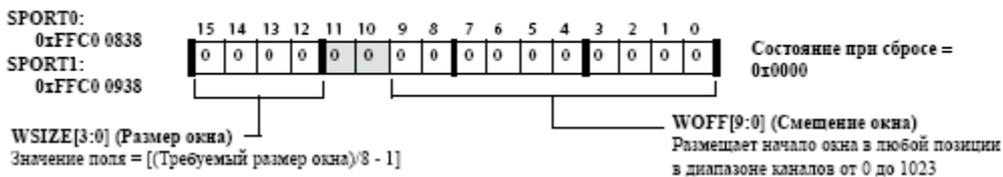


Рис. 12-24. Регистр конфигурации многоканального режима `SPORTx 1`

12 Контроллеры последовательных портов

Регистр конфигурации многоканального режима SPORTx 2 (SPORTx_MCMC2)

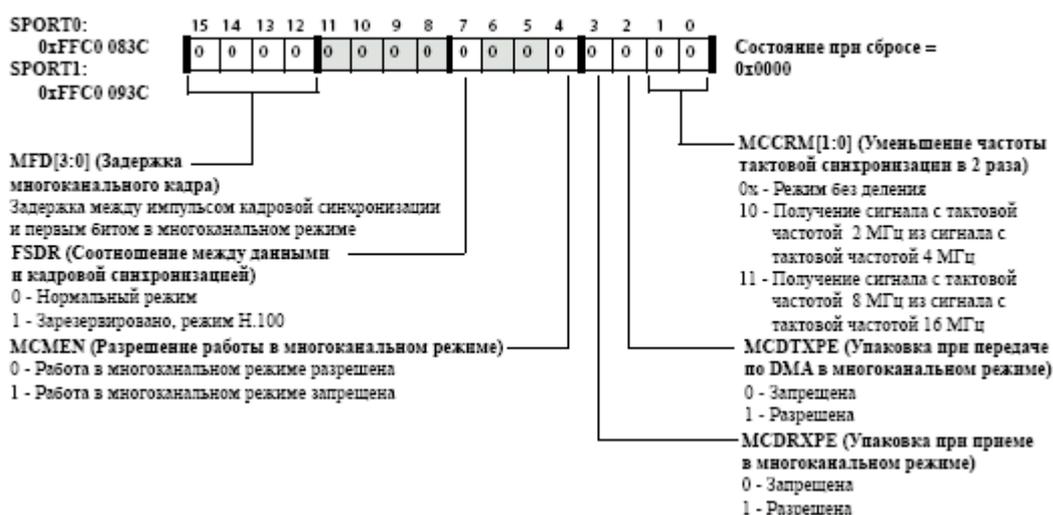


Рис. 12-25. Регистр конфигурации многоканального режима SPORTx 2

Разрешение многоканального режима работы

Многоканальный режим разрешается путем установки бита MCMEN в регистре SPORTx_MCM2. Когда MCMEN = 1, многоканальный режим разрешен. Когда MCMEN = 0, работа в многоканальном режиме запрещена.

-  Установка бита MCMEN разрешает работу в многоканальном режиме и для передающей, и для принимающей части SPORT. Поэтому, если прием SPORT осуществляется в многоканальном режиме, то и передача должна быть в многоканальном режиме.
-  При работе в многоканальном режиме не следует использовать режим поздней генерации сигнала кадровой синхронизации или разрешать использование сигнала кадровой синхронизации в режиме последовательной передачи стереозвука, так как эти опции несовместимы с многоканальным режимом.

В таблице 12-4 показаны зависимости между битами регистра конфигурации последовательного порта при работе в многоканальном режиме.

Таблица 12-4. Биты конфигурации в многоканальном режиме

SPORT _x _RCR1 или SPORRT _x _RCR2	SPORT _x _TCR1 или SPORRT _x _TCR2	Примечания
RSPEN	TSPEN	Должны иметь одинаковые значения
IRCLK	-	Не зависит
-	ITCLK	Игнорируется
RDTYPE	TDTYPE	Независимы
RLSBIT	TLSBIT	Независимы
IRFS	-	Не зависит
-	ITFS	Игнорируется
RFSR	TFSR	Игнорируются
-	DITFS	Игнорируется
LRFS	LTFS	Независимы
LARFS	LATFS	Оба должны быть установлены в 0
RCKFE	TCKFE	Должны иметь одинаковые значения
SLEN	SLEN	Должны иметь одинаковые значения
RXSE	TXSE	Независимы
RSFSE	TSFSE	Оба должны быть установлены в 0
RRFST	TRFST	Игнорируются

Кадровая синхронизация в многоканальном режиме

Все передающие и принимающие устройства в многоканальной системе должны синхронизироваться в один момент времени. Используемый для этого сигнал RFS указывает на начало блока или кадра слов данных в многоканальном режиме.

Если разрешен многоканальный режим работы последовательного порта, то передатчик и приемник используют RFS в качестве сигнала кадровой синхронизации. Это справедливо и для внутренней и для внешней генерации RFS. Сигнал RFS используется для синхронизации каналов и для перезапуска последовательности операций в многоканальном режиме. Активный уровень сигнала RFS указывает начало слова данных нулевого канала.

Так как в многоканальном режиме сигнал RFS используется и передающим и приёмным каналом последовательного порта, необходимо задавать одинаковые значения соответствующих пар битов в регистрах SPORT_x_RCR1 и SPORT_x_TCR1 и регистрах SPORT_x_RCR2 и SPORT_x_TCR2. Возможное исключение составляют пара битов RXSE и TXSE и пара битов RDTYPE и TDTYPE. Это справедливо даже в случае, когда работа последовательного порта запрещена.

В многоканальном режиме процесс генерации сигнала RFS похож на процесс поздней (альтернативной) генерации сигнала кадровой синхронизации и начинается автоматически. При условии, что MFD установлен в 0, первый бит передаваемого слова данных выдаётся (первый бит принимаемого слова данных опрашивается) на том же такте сигнала тактовой синхронизации, когда устанавливается активный уровень кадровой синхронизации.

TFS используется как сигнал достоверности передаваемых данных, который активен в течение передачи разрешенного слова. Так как вывод передачи данных

12 Контроллеры последовательных портов

последовательного порта переводится в третье состояние на время, в течение неактивного временного интервала, TFS служит в качестве сигнала разрешения для этого вывода. В многоканальном режиме последовательный порт выдаёт сигнал TFS независимо от того, сброшен бит ITFS или нет. Состояние вывода TFS в многоканальном режиме зависит от значения бита LTFS. Если LTFS установлен, активный уровень сигнала достоверности передаваемых данных – низкий (сигнал низкого уровня на выводе TFS указывает на передачу данных активного канала).

После приёма первого импульса RFS и начала передачи (приёма) кадра все последующие импульсы RFS игнорируются последовательным портом до завершения передачи (приёма) кадра.

Если $MFD > 0$, импульс RFS может поступать во время передачи последних каналов предыдущего кадра. Это возможно, при условии, что начало передачи задержанного канала 0 не попадёт в интервал передачи последних слов предыдущего кадра.

В многоканальном режиме сигнал RFS используется для выделения начала кадра или блока данных; последующие передачи слов выполняются непрерывно и сигнал RFS не требуется. Поэтому внутренне генерируемый сигнал кадровой синхронизации в этом режиме всегда не зависит от данных.

Многоканальный кадр

Многоканальный кадр содержит данные более чем одного канала и определяется размером и смещением окна. Полный многоканальный кадр включает от 1 до 1024 каналов, начиная с канала 0. Отдельные каналы многоканального кадра, выбираемые портом, определяются комбинацией смещения окна, размера окна и значением регистров выбора каналов.

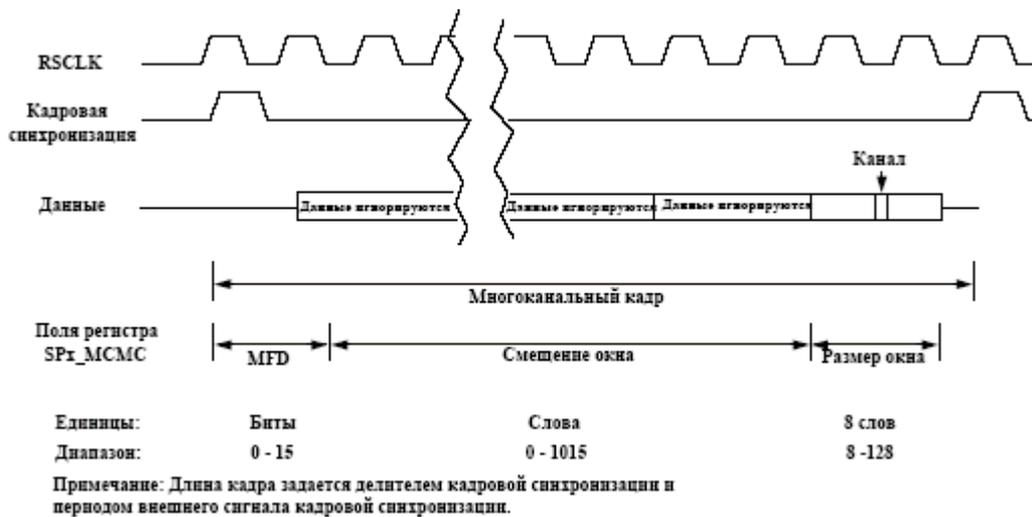


Рис. 12-26. Взаимосвязь параметров в многоканальном режиме

Задержка многоканального кадра

4-разрядное поле MFD в регистре SPORTx_MCMC2 определяет задержку между импульсом кадровой синхронизации и первым битом данных в многоканальном режиме. Значение задержки MFD задаётся в тактах сигнала тактовой синхронизации последовательного порта. Эта задержка в многоканальном режиме позволяет процессору работать с интерфейсами различного типа.

Если значение MFD равно 0, то сигнал кадровой синхронизации совпадает с первым битом данных. Максимальное значение MFD равно 15. Новый сигнал кадровой синхронизации может появиться раньше, чем данные из последнего блока будут приняты, так как блоки данных идут друг за другом.

Размер окна

Размер окна (WSIZE[3:0]) определяет число каналов, которые могут блокироваться/активизироваться регистрами выбора каналов. Этот диапазон слов называется активным окном. Число каналов может принимать любое значение в диапазоне от 0 до 15, что соответствует размеру активного окна от 8 до 128 с инкрементом 8; значение по умолчанию (0) соответствует минимальному размеру активного окна, равного 8 каналам. Для определения размера активного окна по заданному значению поля WSIZE используйте следующее уравнение:

$$\text{Число слов в активном окне} = 8 \times (\text{WSIZE} + 1)$$

Так как размер буфера DMA фиксирован, можно задать небольшое значение размера окна (например, 32 слова), что даёт меньший размер буфера DMA (например, 32 слова вместо 128) и приведёт к высвобождению части пропускной способности DMA. Когда работа последовательного порта разрешена, размер окна изменяться не может.

Биты в регистрах выбора каналов, разрешающие выбор канала, выходящего за пределы окна, игнорируются.

Смещение окна

Смещение окна (WOFF[9:0]) определяет начало активного окна в 1024-канальном потоке. Если значение поля равно нулю, смещения нет. Максимальное значение поля, при котором можно использовать все 128 каналов, равно 896. Допустим, что в программе задаётся размер активного окна, равный 8 (WSIZE = 0), и смещение, равное 93 (WOFF = 93). Это 8-канальное окно будет включать каналы от 93 до 100. Когда работа последовательного порта разрешена, изменение смещения и размера окна невозможно.

12 Контроллеры последовательных портов

Если комбинация размера и смещения окна определяет окно, любая часть которого выходит за пределы диапазона счётчика каналов, выбор каналов, принадлежащих этой области, запрещается.

Регистр текущего канала SPORT_x (SPORT_x_CHNL)

При работе в многоканальном режиме 10-разрядное поле в регистре SPORT_x_CHNL указывает, какой канал обслуживается в текущий момент времени. Поле CHNL [9:0], доступное только для чтения, инкрементируется на единицу по мере обслуживания каждого канала. Работа счётчика останавливается при достижении верхней границы заданного окна. По каждому импульсу кадровой синхронизации регистр выбора каналов сбрасывается в 0. Например, если размер окна равен 8 и смещение равно 148, счётчик принимает значения от 0 до 156.

Как только передача каналов заданного окна завершается, счётчик каналов сбрасывается в ноль для начала отсчёта каналов в следующем кадре. Так как между тактовым сигналом процессора и сигналом RSCLK существуют задержки синхронизации, регистр текущего канала содержит приблизительное значение. Его значение не может превышать номер обслуживаемого канала, но может измениться только в меньшую сторону.

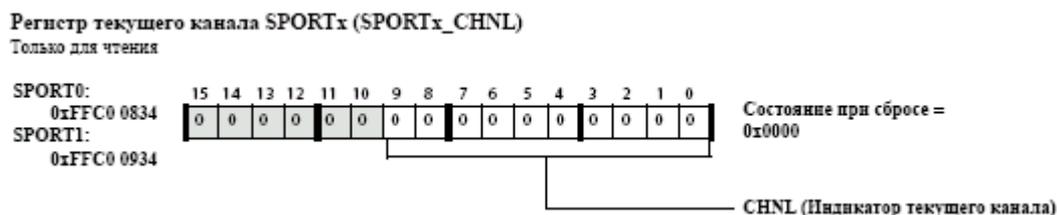


Рис. 12-27. Регистр текущего канала SPORT_x

Другие поля регистра SPORT_x_MCMC2

Установка бита FSDR в регистре SPORT_x_MCMC2 изменяет временное соотношение между сигналом кадровой синхронизации и принимаемым сигналом тактовой синхронизации, что позволяет последовательному порту соответствовать протоколу H.100.

В обычном режиме (при FSDR = 0) данные передаются по тому же фронту сигнала тактовой синхронизации, по которому генерируется импульс кадровой синхронизации. Например, положительный фронт сигнала TFS вызывает передачу данных по тому же или следующему положительному фронту TSCLK, в зависимости от значения бита LATFS.

При FSDR = 1 сигнал кадровой синхронизации изменяется по заднему фронту, а опрашивается по заднему фронту сигнала тактовой синхронизации, независимо от того, по какому фронту производится опрос принимаемых данных.

Регистр выбора каналов

В каждом канале передаётся многобитное слово длиной от 3 до 32 битов, принадлежащее одному из TDM каналов. Каналы могут блокироваться и активизироваться индивидуально для выбора принимаемых и передаваемых слов при работе в многоканальном режиме. Слова данных из активизированных каналов принимаются и передаются, а слова из заблокированных каналов игнорируются. Из 1024 доступных каналов может выбираться до 128 идущих подряд каналов. Регистры выбора каналов, `SPORTx_MRCSn` и `SPORTx_MTCSn`, активизируют или блокируют отдельные каналы. Регистры `SPORTx_MRCSn` определяют каналы, активные при приёме, регистры `SPORTx_MTCSn` определяют каналы, активные при передаче.

Каждый регистр выбора каналов состоит из четырёх 32-разрядных регистров, каждый из которых соответствует 32-м каналам. Установка бита в регистре активизирует соответствующий канал, и слово данных этого канала выбирается последовательным портом из блока слов при приёме или передаче.



Рис. 12-28. Регистры выбора каналов

Бит 0 регистра выбора каналов всегда соответствует первому слову активного окна. Для определения абсолютного положения канала в кадре, необходимо прибавить к номеру бита в регистре выбора каналов значение смещения окна. Например, при установке бита 7 в регистре `MCS2` активизируется слово 71 активного окна. При установке бита 2 в регистре `MCS1` активизируется слово 34 активного окна, и т.д.

Установка определенного бита регистра `SPORTx_MTCSn` в 1 обуславливает расположение слова в потоке передаваемых данных в соответствии с номером канала. Сброс бита в регистре `SPORTx_MTCSn` переводит вывод передачи данных в третье состояние во временных интервалах, соответствующих этому каналу.

Установка определенного бита регистра `SPORTx_MRCSn` в 1 обуславливает расположение слова в потоке принимаемых данных в соответствии с номером канала; принятое слово загружается в буфер `SPORTx_RX`. При сбросе бита в регистре последовательный порт игнорирует данные.

Опция компандирования данных может задаваться или не задаваться для всех каналов одновременно. Закон компандирования (А-закон или μ -закон) определяется полем `TDTYPE` регистра `SPORTx_TCR1` и полем `RDTYPE` регистра `SPORTx_RCR1`, и одинаков для всех активных каналов. (Дополнительную информацию о компандировании см. в разделе “Компандирование”).

12 Контроллеры последовательных портов

Регистр выбора каналов при приёме в многоканальном режиме SPORT_x (SPORT_x_MRCS_n)

Регистры выбора каналов активизируют или блокируют отдельные каналы. Четыре регистра SPORT_x_MRCS_n задают активные каналы при приёме; 32 бита каждого регистра соответствуют 128 каналам. Установка бита активизирует этот канал таким образом, что при приёме последовательный порт будет выбирать из блока слов данных слово, соответствующее этому каналу. Например, при установке бита 0 выбирается слово 0, при установке бита 12 выбирается слово 12, и т.д.

Установка определенного бита регистра SPORT_x_MRCS_n в 1 обуславливает расположение слова в потоке принимаемых данных в соответствии с номером канала; принятое слово загружается в буфер SPORT_x_RX. При сбросе бита в регистре SPORT_x_MRCS_n последовательный порт игнорирует данные.

Рис. 12-29. Регистры выбора каналов при приёме

Таблица 12-5. Адреса регистров выбора каналов при приёме

Название регистра	Адрес в карте памяти
SPORT0_MRCS0	0xFFC0 0850
SPORT0_MRCS1	0xFFC0 0854
SPORT0_MRCS2	0xFFC0 0858
SPORT0_MRCS3	0xFFC0 085C
SPORT1_MRCS0	0xFFC0 0950
SPORT1_MRCS1	0xFFC0 0954
SPORT1_MRCS2	0xFFC0 0958
SPORT1_MRCS3	0xFFC0 095C

Регистр выбора каналов при передаче в многоканальном режиме SPORT_x (SPORT_x_MTCS_n)

Регистры выбора каналов активизируют или блокируют отдельные каналы. Четыре регистра SPORT_x_MTCS_n задают активные при передаче каналы; 32 бита каждого регистра соответствуют 128 каналам. Установка бита активизирует этот канал таким образом, что последовательный порт будет выбирать для передачи из блока слов данных слово, соответствующее этому каналу. Например, при установке бита 0 выбирается слово 0, при установке бита 12 выбирается слово 12, и т.д.

Установка определенного бита регистра SPORT_x_MTCS_n в 1 обуславливает расположение слова в потоке передаваемых данных в соответствии с номером канала. Сброс бита в регистре SPORT_x_MTCS_n переводит вывод передачи данных в третье состояние во временных интервалах, соответствующих этому каналу.

Рис. 12-30. Регистры выбора каналов при передаче

Таблица 12-6. Адреса регистров выбора каналов при передаче

Название регистра	Адрес в карте памяти
SPORT0_MTCS0	0xFFC0 0840
SPORT0_MTCS1	0xFFC0 0844
SPORT0_MTCS2	0xFFC0 0848
SPORT0_MTCS3	0xFFC0 084C
SPORT1_MTCS0	0xFFC0 0940
SPORT1_MTCS1	0xFFC0 0944
SPORT1_MTCS2	0xFFC0 0948
SPORT1_MTCS3	0xFFC0 094C

Упаковка данных при передачах по DMA в многоканальном режиме

Опция упаковки и распаковки данных при передачах по DMA в многоканальном режиме задаётся битами MCDTXPE и MCDRXPE в регистре конфигурации многоканального режима SPORTx_MCMC2.

Когда эти биты установлены, используется упаковка данных, и в буфере DMA должны содержаться только данные, соответствующие активизированным каналам последовательного порта. Например, если многоканальный кадр содержит 10 активизированных каналов, буфер DMA должен содержать 10 слов для каждого кадра. Без изменения размера буфера DMA невозможно изменение полного числа активизированных каналов; реконфигурация возможна только, когда работа последовательного порта запрещена.

Когда эти биты сброшены, упаковка данных не выполняется, и буфер DMA содержит по одному слову для каждого из каналов активного окна, независимо от того, активизирован канал или нет. Таким образом, размер буфера DMA должен быть равен размеру окна. Например, если активизированы каналы 1 и 10, и размер окна равен 16, буфер DMA должен содержать 16 слов. Передаваемые и принимаемые будут помещены по адресам 1 и 10 буфера, остальные слова в буфере DMA игнорируются. В этом режиме, при соблюдении определённых мер, возможно изменение числа активизированных каналов в процессе работы последовательного порта. Для этого необходимо сначала выполнить чтение регистра активного канала, чтобы убедиться, что в данный момент времени последовательный порт не обслуживает активное окно. Если значение счётчика каналов равно нулю, можно записать новое значение в регистр выбора каналов.

Поддержка стандартных протоколов

Н.100

Процессор поддерживает протокол стандарта Н.100 при настройке следующих параметров последовательного порта:

- внешняя кадровая синхронизация (сигнал кадровой синхронизации формируется внешним ведущим устройством шины);

12 Контроллеры последовательных портов

- $TFSR/RFSR = 1$ (кадровая синхронизация требуется);
- $LTFS/LRFS = 1$ (активный уровень сигнала кадровой синхронизации – низкий);
- внешняя тактовая синхронизация;
- $MCMEN = 1$ (выбирается многоканальный режим);
- $MFD = 0$ (задержка между импульсом кадровой синхронизации и первым битом данных отсутствует)
- $SLEN = 7$ (8-разрядные слова);
- $FSDR = 1$ (задание конфигурации H.100, разрешается ранняя кадровая синхронизация с опережением на половину такта сигнала тактовой синхронизации).

Уменьшение частоты сигнала тактовой синхронизации в два раза

Последовательный порт может уменьшать частоту сигнала тактовой синхронизации в 2 раза по отношению к частоте входного сигнала тактовой синхронизации. Это свойство позволяет реализовать режимы H.100 для поддержки протоколов MVIP-90 (передача данных со скоростью 2 Мб/с) и NMVIP (передача данных со скоростью 8 Мб/с), путём восстановления сигналов частотой 2 или 8 МГц из поступающих сигналов тактовой синхронизации частотой 4 или 16 МГц, соответственно. При этом обеспечиваются необходимые фазовые соотношения. Режим тактовой синхронизации (включая тактовую синхронизацию без деления, используемую в обычном режиме работы) задаётся 2-разрядным полем $MCCRM[1:0]$ в регистре $SPORTx_MCMC2$. Значение $MCCRM = 00$ задаёт режим без деления (H.100-совместимый), $MCCRM = 10$ задаёт деление сигнала тактовой синхронизации для работы с протоколом MVIP-90 (получение сигнала частотой 2 МГц из сигнала частотой 4 МГц) и $MCCRM = 11$ задаёт деление сигнала тактовой синхронизации для работы с протоколом NMVIP (получение сигнала частотой 8 МГц из сигнала частотой 16 МГц).

Согласование линий последовательного порта

Процессор имеет быстродействующие формирователи на всех выходных выходах, включая выходы последовательных портов. Если линии, соединяющие выходы данных, сигналов тактовой и кадровой синхронизации, длиннее шести дюймов, следует рассмотреть вариант использования последовательно включенной нагрузки на этих линиях при соединении по схеме «точка к точке». Это может понадобиться даже при использовании низкой частоты тактовой синхронизации последовательного порта из-за требований к скорости нарастания/спада фронтов.

Примеры временных диаграмм

В тексте этой главы приведены несколько примеров временных диаграмм (в разделах “Передача данных с кадровой синхронизацией и без неё”, “Ранняя и поздняя (нормальная и альтернативная) генерация сигнала кадровой

синхронизации” и “Кадровая синхронизация в многоканальном режиме”). В этом разделе приводятся дополнительные примеры, демонстрирующие использование других возможных комбинаций опций кадровой синхронизации.

В этих примерах показана взаимосвязь между сигналами, но не отражаются действительные временные параметры процессора. Реальные значения временных параметров см. в *ADSP-BF531/ADSP-BF532/ADSP-BF533 Embedded Processor Data Sheet*.

В этих примерах предполагается использование четырёхразрядных слов (SLEN = 3). Активный уровень сигналов кадровой синхронизации – высокий (LRFS = 0 и LTFS = 0).

Рисунки с 12-31 по 12-36 демонстрируют кадровую синхронизацию при приёме данных.

На рис. 12-31 и 12-32 показан режим нормальной кадровой синхронизации при дискретных передачах данных (слова данных могут передаваться или приниматься через любое количество тактов TSCLK или RSCLK) или непрерывных передачах данных (между передачами слов данных отсутствуют такты TSCLK или RSCLK).

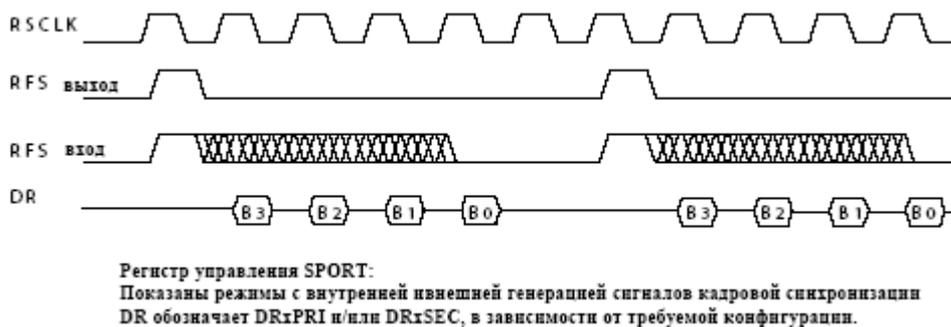


Рис. 12-31. Передача по последовательному порту, нормальная кадровая синхронизация

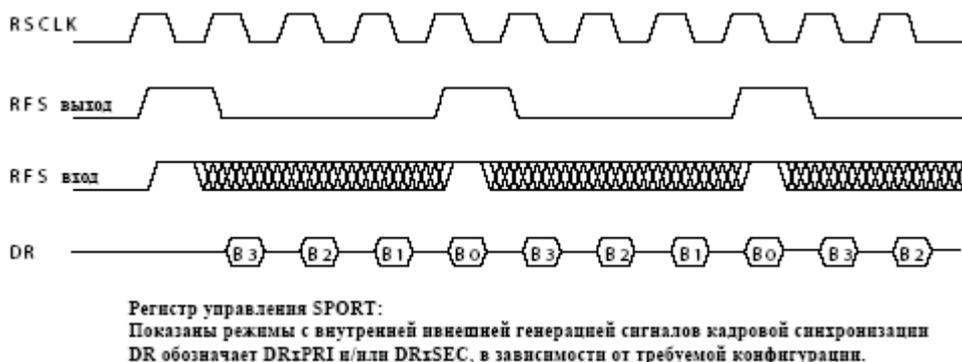
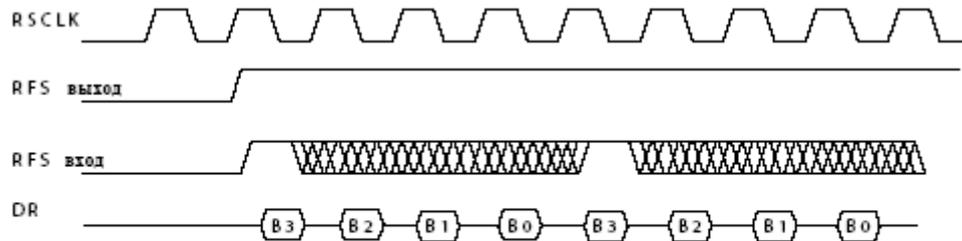


Рис. 12-32. Непрерывный приём по последовательному порту, нормальная кадровая синхронизация

12 Контроллеры последовательных портов

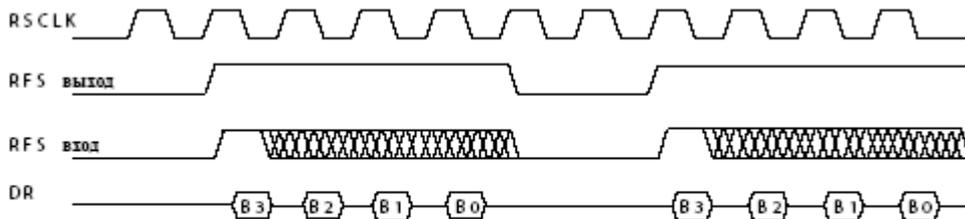
На рис. 12-33 и 12-34 показан дискретный и непрерывный приём данных в режиме альтернативной кадровой синхронизации. На этих четырёх рисунках показаны требования к временным параметрам при внешней и внутренней генерации сигнала кадровой синхронизации. Следует отметить, что выходной сигнал кадровой синхронизации удовлетворяет требованиям к временным параметрам входного сигнала кадровой синхронизации. Таким образом, при использовании двух последовательных портов, выходной сигнал RFS одного из портов может являться входным сигналом для другого порта.



Регистр управления SPORT:

Показаны режимы с внутренней и внешней генерацией сигналов кадровой синхронизации
DR обозначает DRxPRI и/или DRxSEC, в зависимости от требуемой конфигурации.

Рис. 12-33. Приём по последовательному порту, альтернативная кадровая синхронизация



Регистр управления SPORT:

Показаны режимы с внутренней и внешней генерацией сигналов кадровой синхронизации
DR обозначает DRxPRI и/или DRxSEC, в зависимости от требуемой конфигурации.

Рис. 12-34. Непрерывный приём по последовательному порту, альтернативная кадровая синхронизация

На рис. 12-35 и 12-36 показан приём по последовательному порту без формирования кадров в режимах с нормальной и альтернативной кадровой синхронизацией, соответственно. Одиночный импульс кадровой синхронизации поступает только в начале первого слова, либо на один такт RSCLK раньше первого бита (в нормальном режиме) либо одновременно с первым битом (в альтернативном режиме). Этот режим подходит для приёма пакетов слов (непрерывный приём).

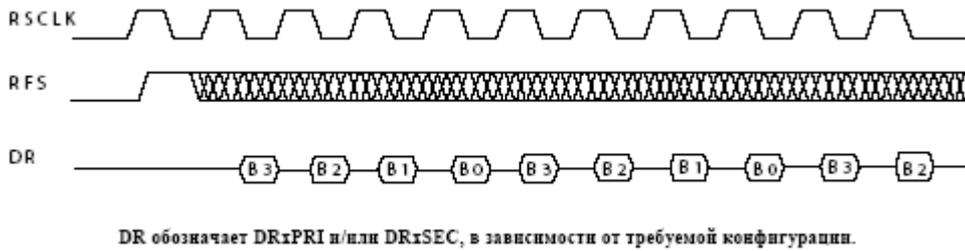


Рис. 12-35. Приём по последовательному порту без формирования кадров, нормальная кадровая синхронизация

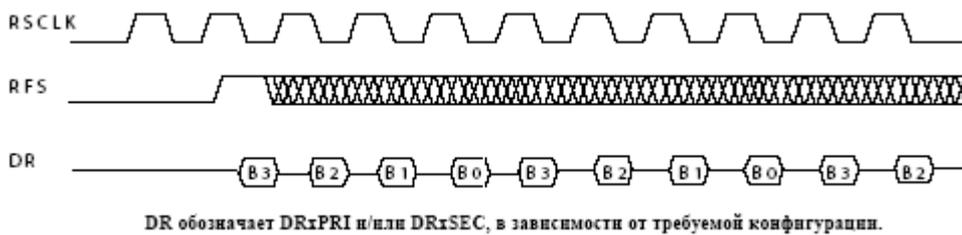


Рис. 12-36. Приём по последовательному порту без формирования кадров, альтернативная кадровая синхронизация

На рисунках с 12-37 по 12-42 показана кадровая синхронизация при передаче данных.

На рис. 12-37 и 12-38 показан режим нормальной кадровой синхронизации при дискретных передачах данных (слова данных могут передаваться через любое количество тактов TSCLK) или непрерывных передачах данных (между передачами слов данных отсутствуют такты TSCLK). На рис. 12-39 и 12-40 показана дискретная и непрерывная передача данных в режиме альтернативной кадровой синхронизации. Аналогично приёму данных, при передаче выходной сигнал RFS удовлетворяет требованиям к временным параметрам входного сигнала RFS.

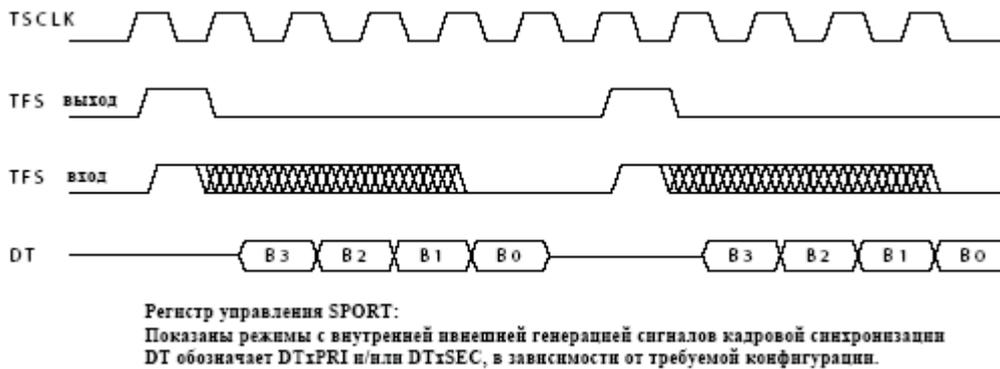


Рис. 12-37. Передача по последовательному порту, нормальная кадровая синхронизация

12 Контроллеры последовательных портов

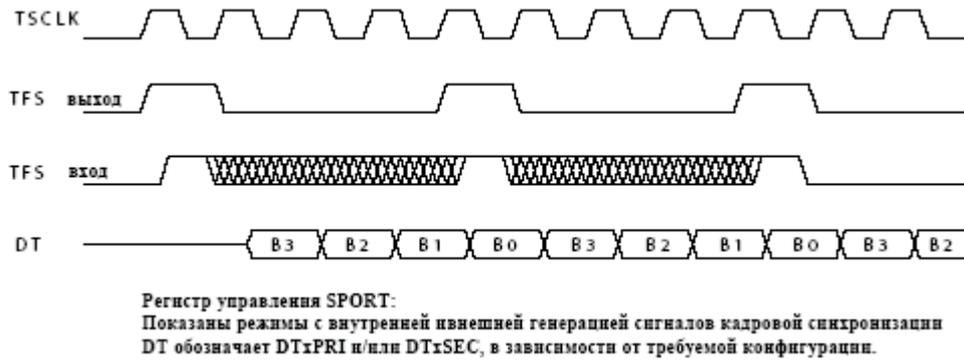


Рис. 12-38. Непрерывная передача по последовательному порту, нормальная кадровая синхронизация

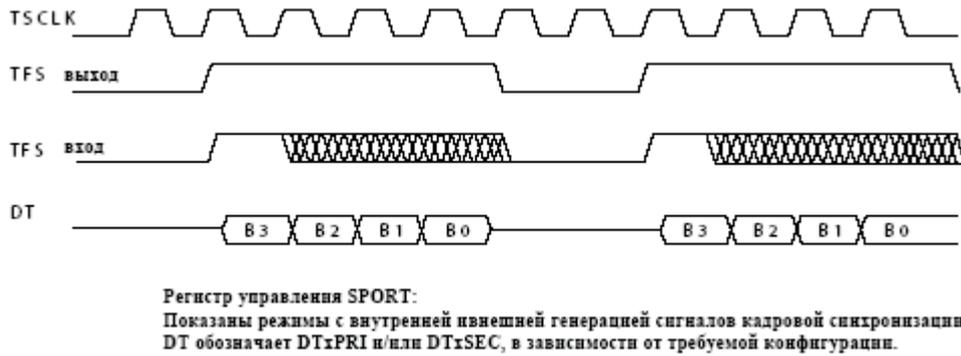


Рис. 12-39. Передача по последовательному порту, альтернативная кадровая синхронизация

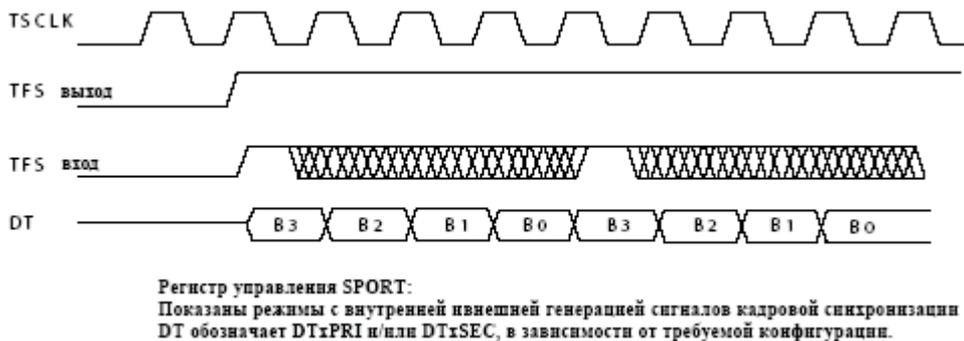


Рис. 12-40. Непрерывная передача по последовательному порту, альтернативная кадровая синхронизация

На рис. 12-40 и 12-41 показана передача по последовательному порту без формирования кадров в режимах с нормальной и альтернативной кадровой синхронизацией, соответственно. Одиночный импульс кадровой синхронизации поступает только в начале первого слова, либо на один такт TSCLK раньше первого бита (в нормальном режиме) либо одновременно с первым битом (в альтернативном режиме).

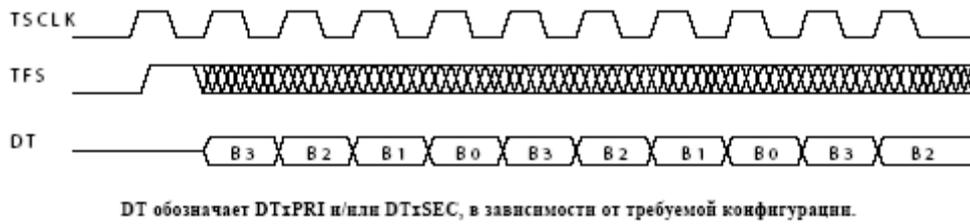


Рис. 12-41. Передача по последовательному порту без формирования кадров, нормальная кадровая синхронизация

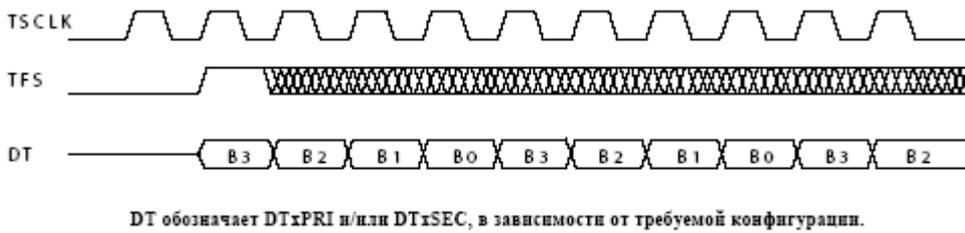


Рис. 12-42. Передача по последовательному порту без формирования кадров, альтернативная кадровая синхронизация